

日本国特許庁
JAPAN PATENT OFFICE

#7
1c872 U.S. PTO
10/090784



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 3月19日

出願番号
Application Number:

特願2001-078898

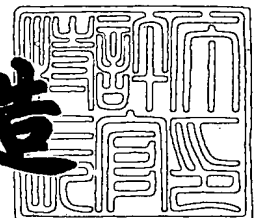
出願人
Applicant(s):

セイコーエプソン株式会社

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3103973

【書類名】 特許願

【整理番号】 J0082684

【提出日】 平成13年 3月19日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 伊藤 昭彦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、液晶表示装置の駆動回路および電子機器

【特許請求の範囲】

【請求項 1】 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極が選択される液晶表示装置において、同じグループに属する走査電極にはそれぞれある期間で互いに直交するような選択信号が同時に与えられ、駆動電位レベル数が 3 レベルでかつ走査電極に与える最大電圧振幅と信号電極に与える最大電圧振幅を同じにすることを特徴とする液晶表示装置。

【請求項 2】 前記各走査電極と前記各信号電極の各交差部分に印加される電圧が、当該交差部分に係る表示データに対して p 回（但し、 $p > (n + 1) / 2$ ）有利な電圧になり、 $n + 1 - p$ 回不利な電圧になるように、前記信号電極に対して前記第 1 または第 2 の電位が印加されることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記有利な電圧が印加される回数 p は、前記各グループの走査電極数 n に等しいことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 前記第 1 の電位および前記第 2 の電位は、前記各走査電極に印加される電位の平均値を中心として、極性が逆であり絶対値が等しい電位であることを特徴とする請求項 1 乃至 3 の何れかに記載の液晶表示装置。

【請求項 5】 「液晶に印加する実効電圧のオン電圧／オフ電圧」 \geq 「液晶の飽和電圧／しきい電圧」となるように、前記各電位が設定されることを特徴とする請求項 1 乃至 4 のいずれかに記載の液晶表示装置。

【請求項 6】 前記各グループに属する前記走査電極の数が 3 本づつであることを特徴とする請求項 1 乃至 5 のいずれかに記載の液晶表示装置。

【請求項 7】 前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されることを特徴とする請求項 1 乃至 6 のいずれかに記載の液晶表示装置。

【請求項 8】 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極が選択される液晶表示装置において、

前記信号電極には、第 1 の電位、または前記各走査電極に印加される電位の平均値を中心として該第 1 の電位に対して極性が逆であり絶対値が等しい第 2 の電位のうち何れかが選択的に印加され、

前記信号電極に前記第 1 または第 2 の電位が印加される期間内に、表示位置に対応する走査電極には前記第 1 または第 2 の電位が選択的に印加される

ことを特徴とする液晶表示装置。

【請求項 9】 前記同一のグループの走査電極に与える選択信号が、1 フレーム期間内で複数回に分けて与えられることを特徴とする請求項 1 乃至 8 いずれかに記載の液晶表示装置。

【請求項 10】 前記同一のグループの走査電極に与える選択信号が、1 フレーム期間内で一度にまとめて与えられることを特徴とする請求項 1 乃至 8 いずれかに記載の液晶表示装置。

【請求項 11】 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極を選択する液晶表示装置の駆動方法において、

同じグループに属する走査電極にはそれぞれある期間で互いに直交するような選択信号が同時に与えられ、駆動電位レベル数が 3 レベルでかつ走査電極に与える最大電圧振幅と信号電極に与える最大電圧振幅を同じにすることを特徴とする液晶表示装置の駆動方法。

【請求項 12】 前記各走査電極と前記各信号電極の各交差部分に印加される電圧が、当該交差部分に係る表示データに対して p 回（但し、 $p > (n + 1) / 2$ ）有利な電圧になり、 $n + 1 - p$ 回不利な電圧になるように、前記信号電極に対して前記第 1 または第 2 の電位を印加することを特徴とする請求項 11 記載の液晶表示装置の駆動方法。

【請求項 13】 前記有利な電圧が印加される回数 p は、前記各グループの走

査電極数 n に等しいことを特徴とする請求項 12 記載の液晶表示装置の駆動方法

【請求項 14】 前記第 1 の電位および前記第 2 の電位は、前記各走査電極に印加される電位の平均値を中心として、極性が逆であり絶対値が等しい電位であることを特徴とする請求項 11 乃至 13 の何れかに記載の液晶表示装置の駆動方法。

【請求項 15】 「液晶に印加する実効電圧のオン電圧／オフ電圧」 \geq 「液晶の飽和電圧／しきい電圧」となるように、前記各電位が設定されることを特徴とする請求項 11 乃至 14 のいずれかに記載の液晶表示装置の駆動方法。

【請求項 16】 前記各グループに属する前記走査電極の数が 3 本ずつであることを特徴とする請求項 11 乃至 15 のいずれかに記載の液晶表示装置の駆動方法。

【請求項 17】 前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されることを特徴とする請求項 11 乃至 16 のいずれかに記載の液晶表示装置の駆動方法。

【請求項 18】 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極を選択する液晶表示装置の駆動方法において、

前記信号電極には、第 1 の電位、または前記各走査電極に印加される電位の平均値を中心として該第 1 の電位に対して極性が逆であり絶対値が等しい第 2 の電位のうち何れかが選択的に印加され、

前記信号電極に前記第 1 または第 2 の電位が印加される期間内に、表示位置に対応する走査電極には前記第 1 または第 2 の電位が選択的に印加される

ことを特徴とする液晶表示装置の駆動方法。

【請求項 19】 前記同一のグループの走査電極に与える選択信号を、1 フレーム期間内で複数回に分けて与えることを特徴とする請求項 11 乃至 18 いずれか記載の液晶表示装置の駆動方法。

【請求項 20】 前記同一のグループの走査電極に与える選択信号を、1 フレ

ーム期間内で一度にまとめて与えることを特徴とする請求項 1 1 乃至 1 8 いずれかに記載の液晶表示装置の駆動方法。

【請求項 2 1】 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極を選択する液晶表示装置を駆動する液晶表示装置の駆動回路において、

同じグループに属する走査電極にはそれぞれある期間で互いに直交するような選択信号を同時に与え、駆動電位レベル数が 3 レベルでかつ走査電極に与える最大電圧振幅と信号電極に与える最大電圧振幅を同じにすることを特徴とする液晶表示装置の駆動回路。

【請求項 2 2】 前記各走査電極と前記各信号電極の各交差部分に印加される電圧が、当該交差部分に係る表示データに対して p 回（但し、 $p > (n + 1) / 2$ ）有利な電圧になり、 $n + 1 - p$ 回不利な電圧になるように、前記信号電極に対して前記第 1 または第 2 の電位を印加することを特徴とする請求項 2 1 記載の液晶表示装置の駆動回路。

【請求項 2 3】 前記有利な電圧が印加される回数 p は、前記各グループの走査電極数 n に等しいことを特徴とする請求項 2 2 記載の液晶表示装置の駆動回路。

【請求項 2 4】 前記第 1 の電位および前記第 2 の電位は、前記各走査電極に印加される電位の平均値を中心として、極性が逆であり絶対値が等しい電位であることを特徴とする請求項 2 1 乃至 2 3 の何れかに記載の液晶表示装置の駆動回路。

【請求項 2 5】 「液晶に印加する実効電圧のオン電圧／オフ電圧」 \geq 「液晶の飽和電圧／しきい電圧」となるように、前記各電位が設定されることを特徴とする請求項 2 1 乃至 2 4 のいずれかに記載の液晶表示装置の駆動回路。

【請求項 2 6】 前記各グループに属する前記走査電極の数が 3 本づつであることを特徴とする請求項 2 1 乃至 2 6 のいずれかに記載の液晶表示装置の駆動回路。

【請求項 2 7】 前記走査電極と前記信号電極は、多重マトリクス構成を成す

ように交差配置されることを特徴とする請求項 2 1 乃至 2 6 のいずれかに記載の液晶表示装置の駆動回路。

【請求項 2 8】 複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極を選択する液晶表示装置を駆動する液晶表示装置の駆動回路において、

前記信号電極には、第 1 の電位、または前記各走査電極に印加される電位の平均値を中心として該第 1 の電位に対して極性が逆であり絶対値が等しい第 2 の電位のうち何れかが選択的に印加し、

前記信号電極に前記第 1 または第 2 の電位が印加される期間内に、表示位置に対応する走査電極には前記第 1 または第 2 の電位が選択的に印加する

ことを特徴とする液晶表示装置の駆動回路。

【請求項 2 9】 前記同一のグループの走査電極に与える選択信号を、1 フレーム期間内で複数回に分けて与えることを特徴とする請求項 2 1 乃至 2 8 いずれかに記載の液晶表示装置の駆動回路。

【請求項 3 0】 前記同一のグループの走査電極に与える選択信号を、1 フレーム期間内で一度にまとめて与えることを特徴とする請求項 2 1 乃至 2 8 いずれかに記載の液晶表示装置の駆動回路。

【請求項 3 1】 請求項 1 乃至 1 0 のいずれかに記載の液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電気光学装置の駆動に用いて好適な液晶表示装置、液晶表示装置の駆動方法、液晶表示装置の駆動回路および電子機器に関する。

【0 0 0 2】

【背景技術】

（第 1 の背景技術）第 1 の背景技術として、国際公開された国際出願 W O 9 3 / 1 8 5 0 1 号公報に示された液晶表示装置の駆動方法(Multi-Line Selection

法、以下 M L S という) がある。この液晶表示装置の駆動方法は、走査電極と信号電極がマトリクス状に交差してマトリクス状の画素を構成する液晶表示パネルにおいて、複数本の走査電極を組にして同時に選択し、その組毎に順次選択していくものである。この駆動方法において、走査電極を 4 ライン (4 本の走査電極) ずつ同時に選択する駆動方法の一例の波形を図 5 に示す。図 5 において、Y 1 ~ Y 8 は走査電極に印加される走査電位波形、X 1 は信号電極に印加される信号電位波形を示す。走査電極には、1 フレーム (F) を構成する 4 フィールド 1 f ~ 4 f の各フィールドにおける選択期間 (H) において、選択電位 V 3 又は - V 3 が印加される。

【0003】

ところで、液晶に印加される電圧と輝度との関係を観察すると、図 3 のような特性が得られることが知られている。ここで、液晶 1 は駆動電圧が低い点で有利であるが、 $(\text{飽和電圧} / \text{しきい値電圧}) = (V_{s1} / V_{t1})$ が大きくなるという不利がある。一方、液晶 2 は、 $(\text{飽和電圧} / \text{しきい値電圧}) = (V_{s2} / V_{t2})$ が小さい点で有利であるが、駆動電圧を高くせざるを得ない点で不利である。M L S を行う場合、比較的走査電極数が多い時は駆動電圧が高くなったとしても、液晶 2 のような特性の液晶が多用される。一方、走査電極数が少ない場合 (3 2 本以下程度) では液晶 1 のような特性の液晶が多用される。

【0004】

なお、従来の電圧平均化法では、1 フレーム期間に 1 回、1 走査電極を選択していたが、複数ライン同時選択による駆動方法では、走査選択方法の正規直交性を保ちながら選択期間を時間的に 1 フレーム内に均等分散し、これと同時に、走査電極を特定本数の組 (ブロック) にして選択し、空間的に分散している。ここで、「正規」とは、すべての走査電位がフレーム期間単位で同一の実効電圧値 (振幅値) を持つこと意味する。また、「直交」とは、ある走査電極に与えられる電圧振幅が他の任意の走査電極に与えられる電圧振幅を 1 選択期間毎に積和したときフレーム期間単位では 0 になることを意味する。この正規直交性は、単純マトリクス型液晶表示装置においては各画素を独立してオン・オフ制御するための大前提である。

【0005】

【発明が解決しようとする課題】

ところで、図5に示す従来の駆動方法で、液晶1のような特性の液晶を使い、液晶に印加する実効電圧のオンとオフの比が最大になる電圧で駆動することを考える。例えば、しきい電圧 V_{th} が1.2ボルトの液晶1を用いて走査電極が32ライン数の液晶パネルを駆動する場合には、 V_3 は約2.7ボルト、 V_2 は約1.9ボルトに設定されることになる。また、駆動する走査電極のライン数を64本にすると、 V_3 は約3.6ボルト、 V_2 は約1.8ボルトに設定することとなり、駆動電圧のレベル数は7レベル必要で、走査電極側駆動回路から出力する選択電位も高く、走査電極側駆動回路から出力する選択電位と信号電極側駆動回路から出力する信号電位の差も大きい。このため、従来の駆動方法では、電源回路が複雑になり、消費電力が大きくなり、走査電極ドライバと信号電極ドライバを一つのICの中に作り込むことが困難である。

【0006】

この発明は上述した事情に鑑みてなされたものであり、駆動電圧レベル数を削減させつつ低消費電力化が図れ、高品位の画像表示が可能な、液晶表示装置、液晶表示装置の駆動方法、液晶表示装置の駆動回路および電子機器を提供することを目的としている。

【0007】

【課題を解決するための手段】

上記課題を解決するため本発明にあっては、下記構成を具備することを特徴とする。なお、括弧内は例示である。

請求項1記載の構成にあっては、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極が選択される液晶表示装置において、同じグループに属する走査電極にはそれぞれある期間で互いに直交するような選択信号が同時に与えられ、駆動電位レベル数が3レベルでかつ走査電極に与える最大電圧振幅と信号電極に与える最大電圧振幅を同じにすることを特徴とする。

この構成によれば、駆動電位レベル数を3レベルにすることができるため、駆動電圧レベル数が少なく、液晶表示装置の電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。

さらに、請求項2記載の構成にあつては、請求項1記載の液晶表示装置において、前記各走査電極と前記各信号電極の各交差部分に印加される電圧が、当該交差部分に係る表示データに対して p 回（但し、 $p > (n+1)/2$ ）有利な電圧になり、 $n+1-p$ 回不利な電圧になるように、前記信号電極に対して前記第1または第2の電位が印加されることを特徴とする。

この構成によれば、有利な電圧を不利な電圧より多い回数だけ印加することができる。

さらに、請求項3記載の構成にあつては、請求項2記載の液晶表示装置において、前記有利な電圧が印加される回数 p は、前記各グループの走査電極数 n に等しいことを特徴とする。

この構成によれば、有利な電圧を不利な電圧よりさらに多い回数だけ印加することができる。

さらに、請求項4記載の構成にあつては、請求項1乃至3の何れかに記載の液晶表示装置において、前記第1の電位（ V_1 ）および前記第2の電位（ $-V_1$ ）は、前記各走査電極に印加される電位の平均値（ V_c ）を中心として、極性が逆であり絶対値が等しい電位であることを特徴とする。

この構成によれば、第1の電位および前記第2の電位は、平均値（ V_c ）を中心として対称的に発生させることができる。

さらに、請求項5記載の構成にあつては、請求項1乃至4のいずれかに記載の液晶表示装置において、「液晶に印加する実効電圧のオン電圧／オフ電圧」 \geq 「液晶の飽和電圧／しきい電圧」となるように、前記各電位が設定されることを特徴とする。

この構成によれば、表示結果に対して高いコントラストを得ることができる。

さらに、請求項6記載の構成にあつては、請求項1乃至5のいずれかに記載の液晶表示装置において、前記各グループに属する前記走査電極の数が3本づつで

あることを特徴とする。

さらに、請求項7記載の構成にあつては、請求項1乃至6のいずれかに記載の液晶表示装置において、前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されることを特徴とする。

また、請求項8記載の構成にあつては、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極が選択される液晶表示装置において、前記信号電極には、第1の電位（ V_1 ）、または前記各走査電極に印加される電位の平均値（ V_c ）を中心として該第1の電位（ V_1 ）に対して極性が逆であり絶対値が等しい第2の電位（ $-V_1$ ）のうち何れかが選択的に印加され、前記信号電極に前記第1または第2の電位が印加される期間内に、表示位置に対応する走査電極には前記第1または第2の電位（ V_1 、 $-V_1$ ）が選択的に印加されることを特徴とする。

この構成によれば、信号電極の電位と走査電極の電位とを共通の電源から印加することができるから、駆動電圧レベル数を少なくすることができ、液晶表示装置の電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。

さらに、請求項9記載の構成にあつては、請求項1乃至8いずれかに記載の液晶表示装置において、前記同一のグループの走査電極に与える選択信号が、1フレーム期間内で複数回に分けて与えられることを特徴とする。

さらに、請求項10記載の構成にあつては、請求項1乃至8いずれかに記載の液晶表示装置において、前記同一のグループの走査電極に与える選択信号が、1フレーム期間内で一度にまとめて与えられることを特徴とする。

上記請求項9、10により、MLSが可能になり、広い表示領域を確保することができる。

また、請求項11記載の構成にあつては、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極を選択する液晶表示装置の駆動方法において、同じグループに属する走査電極にはそれぞれ

ある期間で互いに直交するような選択信号が同時に与えられ、駆動電位レベル数が3レベルでかつ走査電極に与える最大電圧振幅と信号電極に与える最大電圧振幅を同じにすることを特徴とする。

さらに、請求項12記載の構成にあつては、請求項11記載の液晶表示装置の駆動方法において、前記各走査電極と前記各信号電極の各交差部分に印加される電圧が、当該交差部分に係る表示データに対して p 回（但し、 $p > (n+1)/2$ ）有利な電圧になり、 $n+1-p$ 回不利な電圧になるように、前記信号電極に対して前記第1または第2の電位を印加することを特徴とする。

さらに、請求項13記載の構成にあつては、請求項12記載の液晶表示装置の駆動方法において、前記有利な電圧が印加される回数 p は、前記各グループの走査電極数 n に等しいことを特徴とする。

さらに、請求項14記載の構成にあつては、請求項11乃至13の何れかに記載の液晶表示装置の駆動方法において、前記第1の電位および前記第2の電位は、前記各走査電極に印加される電位の平均値を中心として、極性が逆であり絶対値が等しい電位であることを特徴とする。

さらに、請求項15記載の構成にあつては、請求項11乃至14のいずれかに記載の液晶表示装置の駆動方法において、「液晶に印加する実効電圧のオン電圧／オフ電圧」 \geq 「液晶の飽和電圧／しきい電圧」となるように、前記各電位が設定されることを特徴とする。

さらに、請求項16記載の構成にあつては、請求項11乃至15のいずれかに記載の液晶表示装置の駆動方法において、前記各グループに属する前記走査電極の数が3本ずつであることを特徴とする。

さらに、請求項17記載の構成にあつては、請求項11乃至16のいずれかに記載の液晶表示装置の駆動方法において、前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されることを特徴とする。

また、請求項18記載の構成にあつては、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極を選択する液晶表示装置の駆動方法において、前記信号電極には、第1の電位、または前記

各走査電極に印加される電位の平均値を中心として該第 1 の電位に対して極性が逆であり絶対値が等しい第 2 の電位のうち何れかが選択的に印加され、前記信号電極に前記第 1 または第 2 の電位が印加される期間内に、表示位置に対応する走査電極には前記第 1 または第 2 の電位が選択的に印加されることを特徴とする。

さらに、請求項 1 9 記載の構成にあっては、請求項 1 1 乃至 1 8 いずれか記載の液晶表示装置の駆動方法において、前記同一のグループの走査電極に与える選択信号を、1 フレーム期間内で複数回に分けて与えることを特徴とする。

さらに、請求項 2 0 記載の構成にあっては、請求項 1 1 乃至 1 8 いずれかに記載の液晶表示装置の駆動方法において、前記同一のグループの走査電極に与える選択信号を、1 フレーム期間内で一度にまとめて与えることを特徴とする。

上記請求項 1 1 ～ 2 0 によれば、請求項 1 ～ 1 0 と同様の効果が得られる。

また、請求項 2 1 記載の構成にあっては、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極を選択する液晶表示装置を駆動する液晶表示装置の駆動回路において、同じグループに属する走査電極にはそれぞれある期間で互いに直交するような選択信号を同時に与え、駆動電位レベル数が 3 レベルでかつ走査電極に与える最大電圧振幅と信号電極に与える最大電圧振幅を同じにすることを特徴とする。

さらに、請求項 2 2 記載の構成にあっては、請求項 2 1 記載の液晶表示装置の駆動回路において、前記各走査電極と前記各信号電極の各交差部分に印加される電圧が、当該交差部分に係る表示データに対して p 回（但し、 $p > (n + 1) / 2$ ）有利な電圧になり、 $n + 1 - p$ 回不利な電圧になるように、前記信号電極に対して前記第 1 または第 2 の電位を印加することを特徴とする。

さらに、請求項 2 3 記載の構成にあっては、請求項 2 2 記載の液晶表示装置の駆動回路において、前記有利な電圧が印加される回数 p は、前記各グループの走査電極数 n に等しいことを特徴とする。

さらに、請求項 2 4 記載の構成にあっては、請求項 2 1 乃至 2 3 の何れかに記載の液晶表示装置の駆動回路において、前記第 1 の電位および前記第 2 の電位は、前記各走査電極に印加される電位の平均値を中心として、極性が逆であり絶対

値が等しい電位であることを特徴とする。

さらに、請求項 2 5 記載の構成にあつては、請求項 2 1 乃至 2 4 のいずれかに記載の液晶表示装置の駆動回路において、「液晶に印加する実効電圧のオン電圧／オフ電圧」 \geq 「液晶の飽和電圧／しきい電圧」となるように、前記各電位が設定されることを特徴とする。

さらに、請求項 2 6 記載の構成にあつては、請求項 2 1 乃至 2 6 のいずれかに記載の液晶表示装置の駆動回路において、前記各グループに属する前記走査電極の数が 3 本ずつであることを特徴とする。

さらに、請求項 2 7 記載の構成にあつては、請求項 2 1 乃至 2 6 のいずれかに記載の液晶表示装置の駆動回路において、前記走査電極と前記信号電極は、多重マトリクス構成を成すように交差配置されることを特徴とする。

また、請求項 2 8 記載の構成にあつては、複数の走査電極と複数の信号電極が互いに交差配置されてなり、該走査電極を同時に選択する n 個（但し、 $n \geq 2$ ）の走査電極毎にグループ分けし、これらグループ単位で前記走査電極を選択する液晶表示装置を駆動する液晶表示装置の駆動回路において、前記信号電極には、第 1 の電位、または前記各走査電極に印加される電位の平均値を中心として該第 1 の電位に対して極性が逆であり絶対値が等しい第 2 の電位のうち何れかが選択的に印加し、前記信号電極に前記第 1 または第 2 の電位が印加される期間内に、表示位置に対応する走査電極には前記第 1 または第 2 の電位が選択的に印加すること を特徴とする。

さらに、請求項 2 9 記載の構成にあつては、請求項 2 1 乃至 2 8 いずれかに記載の液晶表示装置の駆動回路において、前記同一のグループの走査電極に与える選択信号を、1 フレーム期間内で複数回に分けて与えることを特徴とする。

さらに、請求項 3 0 記載の構成にあつては、請求項 2 1 乃至 2 8 いずれかに記載の液晶表示装置の駆動回路において、前記同一のグループの走査電極に与える選択信号を、1 フレーム期間内で一度にまとめて与えることを特徴とする。

上記請求項 2 1 ～ 3 0 によれば、請求項 1 ～ 1 0 と同様の効果が得られる。

また、請求項 3 2 記載の構成にあつては、請求項 1 乃至 1 0 のいずれかに記載の液晶表示装置を有すること を特徴とする。

かかる構成により、各種電子機器の表示品質が向上する。

【0008】

【発明の実施の形態】

1. 第1実施形態

1. 1. 実施形態の全体構成

図4は本実施形態による電気光学装置の一例としての液晶表示装置のブロック図を示すものである。本実施形態の液晶表示装置は、走査電極54（Y1～Yn）を内面に形成した第1基板と信号電極53（X1～Xn）を内面に形成した第2基板とを対向させ、この一对の基板間に液晶分子が180°以上のねじれ配向を有するSTN（スーパーツイステッドネマチック）型液晶を挟持した液晶表示装置である。この液晶表示装置は一对の基板の外側に各々偏光板を配置し、少なくとも一方の偏光板と基板との間には位相差板が配置される。なお、本実施形態では、視認側と反対側の偏光板の外側に反射板が配置され、液晶に電圧を印加すると黒表示になる反射型液晶表示装置を例にして説明する。

【0009】

また、図4における走査線ドライバ52（走査電極側駆動回路やYドライバともいう）は走査電極54に後述する走査電位波形を印加し、信号線ドライバ51（信号電極側駆動回路やXドライバともいう）は信号電極53に下記に説明する信号電位波形を印加するものであり、走査電極54と信号電極53の交点に配置される画素がマトリクス状に形成され、走査電位波形と信号電位波形の差電圧により画素位置の液晶に実効電圧が印加され、その実効電圧値が液晶の飽和値を超えて電圧印加されると、オン表示（黒表示）、しきい値以下の実効電圧が印加されるとオフ表示（白表示、但し液晶パネルがカラー表示装置の場合はその画素に対応した色表示）、しきい値と飽和値との間の実効電圧では、オンとオフの中間調の表示となる。なお、透過型表示装置として液晶表示装置を構成し、液晶のしきい値を超えた実効電圧印加でオフ表示、しきい値より低い実効電圧印加でオフ表示としても構わない。

【0010】

図1は図4に示した液晶表示装置の駆動波形を示す図である。図1に示す駆動

方法は、3本の走査電極（3ライン）づつを同時に選択し、3ライン単位で順次選択する駆動方法（Multi-Line Selection法）である。すなわち上から1本目～3本目の走査電極が第1グループ、4本目～6本目の走査電極が第2グループを構成しており、図示していない他の走査電極についても同様である。

【0011】

ここで、1フレームは4フィールド（1f～4f）に分割されている。第1～第3フィールド（1f～3f）を参照すると、各グループの走査電極すなわち選択される走査電極には、正規直交行列に基づき、ある期間で互いに直交するような信号極性の選択電位が同時に与えられる（例えば、同時選択される3ラインのうちの1ラインの選択電位の信号極性が他と逆となり、各ラインは1フレーム期間で3回選択され、そのうち他と逆信号極性の選択電位が1回印加される）。しかし、第4フィールド（4f）においては、各走査電極に印加される選択電位は全て同一極性である。そして、1フレーム目と2フレーム目で逆極性の選択電位を印加することで交流駆動している。なお、極性の切り替えは、1フレームごとでなくても良く、ある周期で極性切り替えすれば良い。

【0012】

この駆動方法においては、1ラインを選択する選択期間（H）は1フレーム期間（1F）内に周期的に到来するように分散されており、1フレームを構成する1f～4fの4フィールドの各々において、各ラインが一回選択される。Y1～Y6は実在する走査電極に印加される走査電位波形であり、これが、図4の液晶表示装置のブロック図に示すY1～Y6の各走査電極に印加される。そして、X1は信号電位波形であり、図4のX1の信号電極上に示す表示をした場合の信号電極に印加される信号電位波形を示している。

【0013】

本実施形態の特徴の一つは、図1に示すように、走査電位波形の選択電位と信号電位波形の電位振幅を同一にしているところにある。具体的には、Vcを基準（例えば0V）として、走査電位波形の正極性側の選択電位V1と信号電位波形の正極性側の電位V1とを同一の電圧レベルとし、走査電位波形の負極性側の選択電位-V1と信号電位波形の負極性側の電位-V1とを同一のレベルにする。こう

することで、駆動電圧のレベル数を図5に示した7電圧レベルから3電圧レベルに削減することができる。なお、使用される液晶の特性については先に図3において説明したが、本実施形態においては液晶2を用いることとする。

【0014】

この液晶を用いると、駆動電圧は少し高くなるが、オン／オフ状態の実効電圧の差が小さくてもコントラストを確保することができる。以下、より具体的に説明する。例えば、走査電極の数を33本とした場合で説明すると、上記の駆動方法を用いた場合に、液晶のしきい値電圧が1.41Vのとき、液晶に印加される電圧 V_1 は、 $V_c = 0$ [V]に対して約1.4ボルトにする。この時の液晶に印加される実効電圧の（オン電圧／オフ電圧比）は約1.086になる。図3において、 V_{s1} / V_{t1} は1.07程度であるから、 $1.07 < 1.086$ を満足しているので十分なコントラストが確保できる。換言すれば、本実施形態によれば、 $\pm V_1$ の電圧は2.8Vで良いことになる。一般的な小型電子機器の電源電圧は3Vのものが多いため、かかる場合には何ら昇圧回路を用いることなく電気光学装置を駆動することが可能になる。

【0015】

1. 2. 走査電極側駆動回路の構成

次に、図6を用いて、図4の走査線ドライバ52に相当する本実施形態の走査電極側駆動回路（Yドライバ）220について説明する。なお、本実施形態では走査電極の数を33本として説明する。走査電極側駆動回路220は、MPU等からの表示データや制御信号を受け、液晶表示装置を駆動するのに必要なタイミング信号や表示データを生成する制御回路（図示省略）からの信号によって同図に示すように、フレーム開始パルスYDやラッチパルスLPなどを基にフィールド毎の走査電極の電位選択の列パターンを作成するコード発生部221や、後述する種々の回路を有する半導体集積回路である。

【0016】

本実施形態では、走査電極 $Y_1 \sim Y_n$ への印加電位は、選択期間において V_1 または $-V_1$ 、非選択期間においては0Vであり、合計で3電位レベルあるので、電位セレクタ222に対する選択制御情報は各走査電極 $Y_1 \sim Y_n$ 毎2ビット

が必要である。このため、複数ライン同時選択のためのコード発生部 221 は、フィールド計数カウンタ（図示省略する）と第1および第2シフトレジスタ 223, 224 をフレーム開始パルス YD で初期化した後、第1フィールドに各走査電極に印加する選択電位の電位選択の列パターンを示す2ビットの電位選択コード D0, D1 を直並列変換用の第1シフトレジスタ 223 および第2シフトレジスタ 224 に転送する。第1シフトレジスタ 223 および第2シフトレジスタ 224 は、それぞれ走査電極の本数に対応した33ビットシフトレジスタであり、第1シフトレジスタ 223 は下位ビットの電位選択コード D0 を、第2シフトレジスタ 224 は上位ビットの電位選択コード D1 をそれぞれ同一のシフトクロック CK により格納する。シフトクロック CK は、コード発生部 221 のタイミング生成回路（図示省略する）により生成される。シフトレジスタは、シフトクロック CK に対して単一の66ビットのシフトレジスタがあるのではなく、シフトクロック CK に対して並列の33ビットの第1および第2シフトレジスタ 223, 224 が設けられているので、ラッチパルス LP により低い周波数で動作させることができ、極めて低消費電力が可能となっている。

【0017】

第1シフトレジスタ 223 および第2シフトレジスタ 224 の各ビットの電位選択コード D0, D1 は、シフトクロック CK の発生を契機に隣接ビットにシフトされ、選択時間 Δt だけ出力維持される。このシフトレジスタの出力はレベルシフタ 225 へ供給され、その低論理振幅レベルから高論理振幅レベルへ変換される。なお、液晶の駆動電圧がシフトレジスタ等のロジック電圧より低い場合はレベルシフタはいらない。レベルシフタ 225 から出力される高論理振幅レベルの電位選択コード D0, D1 は同時にレベル変換された液晶交流化信号 FR と共に、波形形成部としてのデコーダ 227 に供給され、選択制御信号が生成される。この選択制御信号で電位セレクタ 222 が開閉制御されることにより各走査電極 Y1 ~ Yn へ、上記図1に示した電位 V1、Vc (0V)、-V1 のいずれかが印加される。

【0018】

図8は、電位セレクタ 222 のブロック図である。電位セレクタ 222 は、後

述する電源回路から電位 V_1 が入力端に印加されるアナログスイッチ222Aと、電位 V_c が入力端に印加されるアナログスイッチ222Bと、電位 $-V_1$ が入力端に印加されるアナログスイッチ222Cと、から構成されている。これらアナログスイッチには、それぞれ選択制御信号 Q_2 、 Q_1 、 Q_0 が入力されるようになっている。

【0019】

本実施形態では、図7に示すように、複数の走査電極側駆動回路（Yドライバ1～n）をカスケード接続できるようにコード発生部221の機能を初段Yドライバ2201と次段以降のYドライバ2202～220nとでセレクト端子MSを使って変えることを前提としている。すなわち、初段Yドライバ2201では、前述のフレーム開始パルスYDによる初期化後、前述の2つのシフトレジスタ223，224に向けて電位選択コードを発生するタイミングに移るが、次段以降は、セレクト端子MSが低レベル入力になっているため、電位選択コードを発生するタイミングには自動的に移らない。次段以降のYドライバ2～nは、初段のキャリー信号（FS）をFSI入力端子から入力して初めて電位選択コードを前述の2つのレジスタ223，224に向けて発生する。そして、最終段のYドライバnからのキャリー信号（FS）が出力されたときが、第1フィールドが終了するときである。このときはコントローラからは第2フィールドの開始信号は来ないので、最終段のYドライバnのキャリー信号（FS）を初段のYドライバ1のFSI端子およびXドライバのFS端子に帰還し、第2フィールドの電位選択コードを前述の2つのシフトレジスタ223，224に対して発生する。この後、前述した第1フィールドと同様に動作し、次に第2フィールド、第3フィールドと順次第4フィールドまでを終了し、次のフィールド（第1フィールド）の動作に移る。以上の機能は、コントローラに対する同時選択ライン数やYドライバの端子数の制約を緩和し、従来の電圧平均化法の場合と同じ周波数のフレーム開始パルスYD、ラッチパルスLPを使うことができる。

【0020】

1. 3. 信号電極側駆動回路の構成

次に、信号電極側駆動回路（Xドライバ）の構成を説明する。Xドライバは、

図 9 に示すような構成の半導体集積回路であり、相互にチップイネーブル出力 C E O とチップイネーブル入力 C E I を介してカスケード接続することができる。図において、2 5 1 はチップイネーブル・コントロール回路であり、アクティブ・ローの自動パワーセーブ回路として機能する。2 5 3 はタイミング回路であり、主に制御回路（図示省略する）から供給される信号を基に所要のタイミング信号などを形成する。2 5 5 は入力レジスタであり、イネーブル信号 E の発生を契機に制御回路から転送される表示データ D A T A（1 ビット、4 ビット、または 8 ビット）をシフトクロック X S C L の立ち下る度に順次取り込み 1 走査ライン分の表示データ D A T A を格納する。

【 0 0 2 1 】

2 5 6 は書込みレジスタであり、入力レジスタ 2 5 5 からの 1 走査ライン分の表示データ D A T A をラッチパルス L P の立ち下がりにより一括ラッチして 1 シフトクロック X S C L 以上の書込み時間をかけてフレームメモリ（S R A M）2 5 2 のメモリマトリクスに書き込む。2 5 7 は行アドレスレジスタであり、走査スタート信号 Y D により初期化され書込み制御信号 W R または読み出し制御信号 R D の印加の度にフレームメモリ 2 5 2 の行（ワード線）を順次選択する。2 5 8 は信号電位割り出し回路であり、フレームメモリ 2 5 2 よりの表示データと走査電極の電位選択パターンとの組から対応する信号電極への印加電位情報を割り出す。

【 0 0 2 2 】

2 5 9 はレベルシフタであり、信号電位割り出し回路 2 5 8 からの低論理振幅レベルの信号を高論理振幅レベルの信号に変換する。（液晶の駆動電圧が信号電位割り出し回路 2 5 8 等のロジック電圧より低い場合はレベルシフタはいらない。）2 6 0 は電位セレクタであり、レベルシフタ 2 5 9 から出力される高論理振幅レベルの電位選択コード信号により、電位 V 1、V c（0 V）、- V 1 の 3 レベルからいずれかを選択して各信号電極 X 1 ~ X n に印加する。なお、図 1 に示したように通常は信号電位波形レベルは、± V 1 の何れかであるが、例えば一部の表示領域のみを用いて情報を表示しようとする場合に使用されない領域に対しては V c（0 V）を印加しておくことが消費電力を低減する上で有利であるた

め、電位セクタ260において V_c (0V) も選択可能にしたものである。

【0023】

信号電位割り出し回路258は、ラッチ回路258-1と、不一致数判定回路258-2と、ラッチ回路258-3とを備えている。ラッチ回路258-1は、フレームメモリ252から読み出された表示データをラッチし、グループ単位の(Y方向に3画素毎の)同時に選択する3ラインの表示データの上からa1, a2, a3を出力する。表示データa1, a2, a3において、画素がオン状態のときは“1”、オフ状態の時は“0”である。

【0024】

次に、不一致数判定回路258-2の詳細を図10を参照し説明する。図においてb1, b2, b3 (同時に選択する3ラインの上からb1, b2, b3)は走査電極の電位選択パターン(図1参照)を表す信号であり、電位が V_1 であれば“1”、 $-V_1$ であれば“0”になる。EX0, EX1, EX2は排他的論理和ゲートであり、各々a1とb1, a2とb2, およびa3とb3の排他的論理和を出力する。換言すれば、排他的論理和ゲートEX0, EX1, EX2は、表示データa1, a2, a3と走査電極の電位選択パターンb1, b2, b3との各ビットを比較し、不一致であるビットについては“1”を、一致するビットについては“0”を出力する。258-21はデコーダであり、これら不一致ビットの数が0または1である場合は、電位 $-V_1$ の出力を指示する選択制御信号Q0を立ち上げ、不一致ビットの数が2または3である場合は電位 V_1 の出力を指示する選択制御信号Q1を立ち上げる。

【0025】

図11は、電位セクタ260を示すブロック図である。上記した不一致数判定回路258-2で生成された選択制御信号Q0, Q1は、ラッチ回路258-3とレベルシフタ259とを介して電位セクタ260に入力される。この電位セクタ260は、アナログスイッチ261, 262を備え、それぞれの入力端に電位 V_1 , $-V_1$ が供給される。そして、これらの制御端には上述した選択制御信号Q1, Q0が各々入力される。これらアナログスイッチにより、2レベルの電位が択一的に選択される。また、図1の1F期間での表示データa1, a

2, a_3 の値に応じて、各フィールド毎に実際に選択される電位を図 12 (a) の真理値表に示し、走査電極に印加する選択電位が 1 F 期間と逆極性のときの真理値表を図 12 (b) に示す。

【0026】

この電位選択の動作をさらに詳細に説明しておく。まず、図 4 を参照すると、走査電極 $Y_1 \sim Y_3$ の第 1 列の画素は全てオン状態であるから、対応する表示データ a_1, a_2, a_3 は “1”, “1”, “1” になる。同様に、走査電極 $Y_4 \sim Y_6$ の第 1 列の画素について、対応する表示データ a_1, a_2, a_3 は “1”, “1”, “0” になる。次に、図 1 を参照すると、第 1 フィールド (f_1) において各グループの走査電極に印加される電位は、上から順に $V_1, -V_1, V_1$ であるから、電位選択パターン b_1, b_2, b_3 は “1”, “0”, “1” である。従って、表示データ $a_1, a_2, a_3 = “1”, “1”, “1”$ と比較すると、不一致数は「1」になる。このため、図 1 の第 1 フィールド ($1f$) の第 1 グループ選択期間 ($1h$) において、信号電位波形 X_1 のレベルは $-V_1$ に設定されるのである。

【0027】

次に、第 2 グループ選択期間 ($2h$) について、対応する表示データ $a_1, a_2, a_3 = “1”, “1”, “0”$ と電位選択パターン $b_1, b_2, b_3 = “1”, “0”, “1”$ とを比較すると、不一致数は「2」になる。このため、図 1 の第 1 フィールド ($1f$) の第 2 グループ選択期間 ($2h$) において、信号電位波形 X_1 のレベルは V_1 に設定されるのである。他のフィールドおよび他のグループ選択期間においても、同様にして信号電位波形 X_1 のレベルが決定される。そして、第 1 フレーム ($1F$) の表示が完了すると、第 2 フレーム ($2F$) 以降は 1 フレーム毎に走査電位および信号電位の極性が反転されつつ、同様の動作が繰り返えられる。

【0028】

1. 4. 電源回路の構成

次に、図 14 を参照して、信号電極側駆動回路と走査電極側駆動回路に 3 レベルの電位を供給する電源回路について説明する。

【0029】

この電源回路の入力電源電圧は、 V_{cc} （第1入力電位）、 GND （第2入力電位）のみであり単一電源入力となっている。また水平走査期間毎に発生するパルスからなるラッチパルス LP が入力される。クロック形成回路21は、ラッチパルス LP に基づき、チャージ・ポンプ回路に必要なクロック信号を形成するものであり、 V_{cc} および GND を電源とし、 GND を $-V_1$ としてこれを基準に他の電位レベルを決定している。図1での説明では、 $V_c = 0V$ として説明したが、この電源回路の構成においては、各駆動電位を GND より正側の電圧として生成している。どちらの電位関係で液晶表示装置を駆動しても液晶に印加される実効電圧は同じであるが、正側のみの駆動電圧生成の方が電源回路の構成は簡単になる。

【0030】

同図において23はレギュレータであり、 GND を基準として、電位 V_{cc} （例えば3V）を $2 \cdot V_1$ （例えば2.8V）に降圧し、図1における電位 V_1 として出力する。また、22は $1/2$ 降圧回路であり、レギュレータ23の出力端- GND 間の電圧を $1/2$ に降圧し、これを図1における電位 V_c として出力する。なお、 $1/2$ 降圧回路22は、電位 V_c をチャージ・ポンプ動作により発生する。

【0031】

図13は、チャージ・ポンプ回路の最も基本となる概念図である。同図において SW_a 、 SW_b は連動スイッチであり、一方がA側に倒れている間是他方もA側に倒れている。また、図13では SW_a 、 SW_b を機械的なスイッチで表したが、実際にはスイッチ SW_a 、 SW_b は、A側との導通・遮断を制御するMOSトランジスタと、B側との導通・遮断を制御するMOSトランジスタの通常2つのトランジスタスイッチにより構成できる。

【0032】

スイッチ SW_a 、 SW_b がA側に切り替わっている間は、ポンピング・コンデンサ C_p は $V_b - V_a$ の電圧で充電される。次いでスイッチ SW_a 、 SW_b がB側に切り替わると、 C_p に充電された電荷がバックアップ・コンデンサ C_b に転

送される。このスイッチング動作を繰り返すことにより、 C_b に加わっている電圧、すなわち、 $V_e - V_d$ 間の電圧は $V_b - V_a$ 間の電圧とほぼ等しい値に近づく。このとき、 V_d がある定まった電圧である場合には、 V_d より $V_b - V_a$ だけ高い電圧が V_e に発生する。逆に、 V_e がある定まった電圧である場合には、 V_e より $V_b - V_a$ だけ低い電圧が V_d に発生する。以上がチャージ・ポンプ回路の基本動作である。同図に示す V_a 、 V_b 、 V_d 、 V_e をどこに接続するかによって、この回路が昇圧回路として機能し、あるいは降圧回路として機能する。

【0033】

1. 5. 実施形態の効果

再び説明を図1に戻す。図1において各走査電極の選択期間においては、各画素に印加される電圧は「 $2 \cdot V_1$ 」（走査電極および信号電極に印加される電位の極性が異なる時）または「0」（両電位の極性が等しい時）の何れかである。ここで、オン状態にすべき画素については、「 $2 \cdot V_1$ 」は「有利な電圧」であり、「0」は「不利な電圧」である。逆に、オフ状態にすべき画素については、「 $2 \cdot V_1$ 」は「不利な電圧」であり、「0」は「有利な電圧」である。

【0034】

本実施形態においては、全4フィールド中に正規直交行列に基づいて、1ラインの選択電位の信号極性が他のラインと逆になる期間（ $1f \sim 3f$ ）と、同一極性の選択電位を該グループ内の全ラインに印加する過程（ $4f$ ）を有する。これにより、表示データの値にかかわらず、全4フィールド中の3フィールドにおいて「有利な電圧」を与えることが可能になるのである。この理由を場合を分けて説明しておく。

【0035】

(1) 表示データの全ビットが等しい場合

表示データの全ビットが等しい場合は、第4フィールド（ $4f$ ）において全画素に「有利な電圧」を印加することができる。すなわち、全画素をオン状態にすべき場合（図1の走査電極 $Y_1 \sim Y_3$ のような場合）には、走査電位に対して反転する電位を信号電極に印加すればよく、逆に全画素をオフ状態にすべき場合に

は、同一電位を印加すればよい。また、第1～第3フィールド（1f～3f）において、第4フィールド（4f）と同一の電位を信号電極に印加すると、第1～第3フィールドにおいて、それぞれの画素について、「不利な電圧」が1回ずつ印加されることになる。それ以外は、全て「有利な電圧」であるため、結局、全画素に対して3フィールドにおいて「有利な電圧」を与えることが可能になる。

【0036】

（2）表示データのビットが等しくない場合

「表示データのビットが等しくない場合」とは、3ビットのうち「特定の1ビット」の表示データが「残りの2ビット」と異なる場合である。この場合、第1～第3フィールド（1f～3f）のうち何れか1フィールドは、全画素に対して「有利な電圧」を印加することができる。図1の走査電極Y4～Y6の例においては、第2フィールド（2f）において走査電位波形Y4～Y6が（“1”，“1”，“0”）になるから、信号電位X1として電位-V1を印加すればよい。

【0037】

そして、第4フィールド（4f）においては、「特定の1ビット」に対して「不利な電圧」が印加される。また、第1～第3フィールドのうち、上述したフィールド以外の残りのフィールド（上記例では第1，第3フィールド）においては、「残りの2ビット」に対して1回ずつ「不利な電圧」が印加されることになる。結局、この場合においても、全画素に対して3フィールドにおいて「有利な電圧」を与えることが可能になる。

【0038】

このように、図3に示す液晶2すなわち「駆動電圧は少し高いが（飽和電圧／しきい値電圧）が小さい液晶を使って、充分に実用に耐えるコントラストを確保して、走査電位および信号電位の振幅を低く抑えることができる。駆動電圧を低く抑えることにより、昇圧回路を削減でき、電源回路の構成を簡素化できるとともに消費電力を低減させることができるのである。

【0039】

2. 第2実施形態

本実施形態による液晶表示装置は、第1実施形態と同様な構成であり、図4の

液晶表示装置のブロック図に示すように走査電極 54 と信号電極 53 を有し、その間に液晶分子が 180° 以上ねじれ配向した STN（スーパーツイステッドネマチック）型液晶を挟んで構成される。以下、第 1 実施形態と同様に、電圧を印加すると黒になる反射型液晶表示装置を例にして説明する。

【0040】

図 2 は本実施形態の駆動波形を示す図である。本実施形態の駆動方法は、3本の走査電極（3ライン）をづつ同時に選択し、3ライン単位で順次選択を行う駆動方法であり、第 1 実施形態と同様に、同時に選択する走査電極にはある期間（1h～3h）においては、互いに直交するような正規直交行列に基づいて選ばれる信号極性の選択電位が同時に与えられ、他の期間（4h）においては、各走査電極においては同一極性の選択電位が印加される。

【0041】

但し、第 1 実施形態は 1 フレーム期間（1F）にフィールド毎に選択期間（H）を分散したのに対し、第 2 実施形態は第 1 実施形態にて 1 フレーム期間中に印加されていた 4 つの選択期間 1h～4h を連続させ、全体として選択期間（H）を構成した一例を各々示している。Y1～Y6 が走査電位波形で、これが、図 4 の液晶表示装置のブロック図に示す Y1～Y6 の各走査電極 54 に印加される。そして、X1 が信号電位波形で、図 4 の X1 の信号電極上に示す表示をした場合の信号電極 53 に印加される信号電位波形を示している。

【0042】

本実施形態においても、走査電位波形の選択電位と信号電位波形の電位振幅を同一にしている。具体的には、 V_c を基準（例えば 0V）として、走査電位波形の正極性側の選択電位 V_1 と信号電位波形の正極性側の電位 V_1 が同一レベルであり、走査電位波形の負極性側の選択電位 $-V_1$ と信号電位波形の負極性側の電位 $-V_1$ が同一レベルである。

【0043】

本実施形態によれば、あるフレームにおいて何れかのグループに属する走査電極に走査電位を印加した後は、次のフレームまではこれら走査電極には走査電位は印加されない。従って、図 9 に示した第 1 実施形態のフレームメモリ 252 に

代えて、3ライン分の表示データを記憶するメモリを用いることができ、メモリの所要容量を削減できる点で有利である。

【0044】

3. 第3実施形態

次に、本発明の第3実施形態について説明する。第1および第2実施形態においては、走査電極数すなわちY方向の画素数は33本であった。しかし、携帯電話などにおいては、さらに縦長の（Y方向に長い）表示が望まれている。その際、走査電極54および信号電極53から成るマトリクスと同様のものをもう一組Y方向に設けることも考えられる。しかし、かかる構成によれば、配線の引き回しが長くなり、電気光学装置の全面積中に占める表示領域の割合が小さくなる。また、走査電極数が増加するため表示領域を確保するために配線パターンを細線化する必要が生じ、配線数の引き回しが長くなるとともにインピーダンスも増加し、表示品質に悪影響が及ぶこともある。本実施形態は、かかる問題を解決しようとするものである。

【0045】

本実施形態による液晶表示装置の第1基板および第2基板の平面図を図17および図18に示す。図17において、画像表示領域3における第1基板1上には、複数の信号電極10が走査電極20と多重マトリクスを構成するように配置されている。特に各信号電極10は、画素対応して設けられた複数の画素電極部分10aとこれらと接続する信号配線部分10bとから構成されており、Y方向に伸延している。

【0046】

一方、図18において、第2基板2上には、複数の信号電極10にそれぞれ接続された複数の画素電極部分10aと1ラインの走査電極とが各々重なるように、複数の走査電極20が配置されている。即ち各走査電極はX方向に伸延している。走査電極20と信号電極10は、図4における走査電極54と信号電極53に相当するものである。100は駆動回路であり、信号線ドライバおよび走査線ドライバによって構成されている。

【0047】

図 1 7 において、額縁領域 4 には、駆動回路 1 0 0 に近い側にある信号電極 1 0 の一端と駆動回路 1 0 0 とを接続する複数の第 1 引き回し配線 3 1 が配線されている。更に、額縁領域 4 には、第 1 基板 1 上に設けられた上下導通端子 4 0 と駆動回路 1 0 0 とを接続する複数の第 2 引き回し配線 3 2 とが配線されている。また、図 1 7 及び図 1 8 に示すように、額縁領域 4 における第 1 基板 1 及び第 2 基板 2 間には、第 1 基板 1 上に設けられた上下導通端子 4 0 と第 2 基板 2 上で走査電極 2 0 の額縁領域 4 内に延設された端部 2 0 a とを電氣的接続する複数の上下導通材 4 1 が設けられている。

【 0 0 4 8 】

以上のように本実施形態によれば、額縁領域 4 において駆動回路 1 0 0 に近い側にある信号電極 1 0 の一端と駆動回路 1 0 0 とが第 1 引き回し配線 3 1 により接続されるので、第 1 引き回し配線 3 1 については、画像表示領域 3 の周囲を殆ど引き回す必要はない（図 1 7 参照）。即ち、第 1 引き回し配線 3 1 の配線長は、基本的に非常に短くて済む。

【 0 0 4 9 】

ここで図 1 7 に示すような 2 重マトリクス構造の場合には、走査信号 Y 1、Y 2、…が供給される各走査電極 2 0 の幅は、画像信号 X 1、X 2、…が供給される 2 本の相隣接する信号電極 1 0 からなる Y 方向に並ぶ画素配列に対向するように、2 画素分になる。他方、走査電極 2 0 の総数は、多重マトリクス構造を持たない場合（即ち、走査電極と信号電極との交点に一対一対応して一画素が規定される、言わば 1 重マトリクス構造の場合）と比較して、 $1/2$ 程度になる。

【 0 0 5 0 】

そして、一般には、信号電極 1 0 の多重マトリクス構造が n （但し、 n は 2 以上の自然数）重マトリクス構造の場合には、各走査電極 2 0 の幅は、 n 本の相隣接する信号電極 1 0 からなる Y 方向の画素配列に対向するように n 画素分になり、走査電極 2 0 の総数は、多重マトリクス構造を持たない場合と比較して $1/n$ 程度になる。一方、第 1 引き回し配線 3 1 の数は n 倍に増加するが、元々第 1 引き回し配線 3 1 の長さは短いため、本数が増加したとしても額縁領域 4 を広げるような傾向は小さい。

【0051】

そこで本実施形態では、これらの多重マトリクス構造に係る走査電極20の幅及び総数に着目して、走査電極20の端部20aに接続された上下導通材41に接触する上下導通端子40と駆動回路100とが、図17に示すように、第2引き回し配線32により接続されるように構成する。これにより、第2引き回し配線32の総数は、多重マトリクス構造を持たない場合と比較して $1/n$ 程度に減ぜられる。例えば、画像表示領域3がX方向に100画素且つY方向に66画素あるとすると、第2引き回し配線32は、33本で足りる。

【0052】

よって、第2引き回し配線32の額縁領域4に占める領域を全体として多重マトリクス構造を持たない場合と比較して $1/n$ 程度に小さくできる。即ち、1チップ構造の駆動回路100を用いているにも拘わらず、第2引き回し配線32が引き回される額縁領域4の面積増加を極めて効率的に抑制できる。逆に、走査電極20は、図24に示したように各画素の n 倍程度の幅を持ち、信号電極10に比べて遥かに幅広に構成されるため、1チップ構造の駆動回路100を用いることに伴う微細化を殆ど必要としない。

【0053】

以上の結果、図17に示すように比較的配線長が短い第1引き回し配線31と比較的総数が少ない第2引き回し配線32により、額縁領域4を画像表示領域3に対して小さくすることが可能となる。これに加えて、第1基板1及び第2基板2の貼り合せ時の基板ずれ等を考慮して額縁領域4内に一定面積が必要な上下導通端子40の総数についても、多重数 n に応じて $1/n$ 程度で済むので、額縁領域4を小さくするのが一層容易となる。

【0054】

そして、このように比較的配線長が短い第1引き回し配線31と比較的総数が少ない第2引き回し配線32により、駆動回路100から走査電極20及び信号電極10に至るまでの配線抵抗の増加を抑えることができる。このため、配線抵抗の増加に起因する画像信号や走査信号の劣化を未然防止でき、比較的電圧供給性能の低い或いは耐圧の低い駆動回路100でも十分に高品位の画像表示が可能

となり、駆動用の消費電力の低減にも繋がる。

【 0 0 5 5 】

この際、駆動回路 1 0 0 により信号電極 1 0 に供給される画像信号の 1 フレーム中の選択時間を多重数 n に応じて n 倍にできるため、デューティ比を下げることによって駆動電圧を下げることができ、同時に画像表示領域 3 におけるコントラスト比や明るさも高くできる。加えて、このように構成される多重マトリクス構造の信号電極 1 0、第 1 引き回し配線 3 1 及び第 2 引き回し配線 3 2、並びに 1 チップ構造の駆動回路 1 0 0 は各々、既存の微細化技術で十分に作成可能であるので実践上も大変有利である。

【 0 0 5 6 】

本実施形態では特に、図 1 8 に示すように走査電極 2 0 は、画像表示領域 3 の両側からその内部に向けて交互に櫛歯状に配線されている。従って、画像表示領域 3 の片側には、走査電極 2 0 の総数の半分だけ上下導通材 4 1 を設ければよく、図 2 1 に示すように第 1 基板 1 上にも、画像表示領域 3 の両側に位置する額縁領域 4 部分に各々半分づつ第 2 引き回し配線 3 2 を設ければよい。この結果、額縁領域 4 にバランスよく第 2 引き回し配線 3 2 を配線できる。例えば、画像表示領域 3 が X 方向に 1 0 0 画素且つ Y 方向に 6 6 画素あるとすると、第 2 引き回し配線 3 2 は、片側に 1 7 本、他方に 1 8 本で足りる。このように X 方向の両側における額縁領域をバランスよく狭めることが出来る。

【 0 0 5 7 】

4. 第 4 実施形態

第 1 ～ 第 3 実施形態に示すような駆動方法による液晶表示装置を携帯電話や小型情報機器等の電子機器の表示装置として使用する事で、表示品質が良く、低消費電力、低コスト、省スペースの電子機器が実現できる。

【 0 0 5 8 】

図 1 6 は、それぞれ本発明の液晶表示装置を使った電子機器の例を示す外観図である。図 1 6 A は携帯電話を示す斜視図である。1 0 0 0 は携帯電話本体を示し、そのうちの 1 0 0 1 は本発明の反射型液晶表示装置を用いた液晶表示部である。図 1 6 B は、腕時計型電子機器を示す図である。1 1 0 0 は時計本体を示し

ている。1101は本発明の反射型液晶表示装置を用いた液晶表示部である。この液晶表示装置は、従来の時計表示部に比べて高精細の画素を有するので、テレビ画像表示も可能とすることができ、腕時計型テレビを実現できる。

【0059】

図16Cは、ワープロ、パソコン等の携帯型情報処理装置を示す図である。1200は情報処理装置を示し、1202はキーボード等の入力部、1206は本発明の液晶表示装置を用いた表示部、1204は情報処理装置本体を示す。各々の電子機器は電池により駆動される電子機器であるので、駆動電圧の低いIC化された駆動回路とすることにより、電池寿命を延ばすことが出来る。また、1チップのドライバIC化により部品点数が大幅に減り、より軽量化・小型化できる。

【0060】

5. 変形例

本発明は上述した実施形態に限定されるものではなく、例えば以下のように種々の変形が可能である。

【0061】

(1) 図14に示した電源回路は、図15(a)に示すように変形することができる。図においてレギュレータ23から出力される電圧は、同一の抵抗値を有する抵抗器24、25によって分圧され、両者の接続点から電位Vcが出力される。26はオペアンプから成る電圧ホロワ回路であり、この電位Vcを安定して出力する。

【0062】

(2) また、第1～第3実施形態に適用される電子機器の電源電圧が1.8ボルトである場合には、図15(b)に示すような電源回路を用いればよい。この図においては同図(a)の前段に2倍昇圧回路27が設けられており、予め1.8ボルトが3.6ボルト程度に昇圧される。それ以降の構成は同図(a)と同様である。

【0063】

(3) また、図14あるいは図15(a)に示す電源回路の前段に、図15(c)に示す回路を介挿してもよい。図において28、29はオン／オフ状態が相補的に設

定されるスイッチであり、2倍昇圧回路27によって昇圧された電圧または電圧Vccの何れか一方が選択される。ここで、両スイッチ28、29に対する選択信号は、電圧Vccに応じてジャンパ線等によって与えるとよい。すなわち、電圧Vccが3ボルトであるときはスイッチ29をオン状態にし、電圧Vccが1.8ボルトであるときはスイッチ28をオン状態に設定するとよい。かかる構成によれば、本体装置が供給可能な電源電圧にかかわらず共通の電源回路を用いることができる。

【0064】

(4) 上記第1実施形態においては、選択期間を4回に分散しているが、2h期間づつまとめて2つに分散してもよく、特開平9-15556に示すような分散方法でも良い。また、上記各実施形態では同時に選択するライン数が3ラインの場合を例として説明しているが、同時選択ライン数は2、4、5、6、7、・・・のように何ラインにしてもよい。さらに、上記第1および第2実施形態では、駆動する走査電極数が33である場合を説明したが、走査電極数も任意に決定可能なことは言うまでもない。

【0065】

(5) また、上記各実施形態においては、電気光学装置において2値表示（オン表示／オフ表示）を行う例を説明をしたが、選択期間に信号電極に印加する電圧波形をパルス幅階調（PWM）した場合や、フレーム階調（FRC）した場合等の階調表示の場合にも同様に実現できる。

【0066】

(6) また、上記各実施形態においては、液晶パネルの液晶として反射型STN型を例示してきたが、液晶はこれに限定されるものではなく、強誘電型や反強誘電型などの双安定性を有する液晶や、高分子分散型液晶や、TN型液晶や、ネマチック液晶など、種々用いることができる。また、液晶パネルは、反射型を例にして説明したが、透過型液晶パネルにおいても本発明を用いることができる。

【0067】

(7) また、上記各実施形態においては、液晶パネルは単純マトリクス型液晶パネルを例として説明してきたが、一方のパネル基板上に画素電極をマトリクス配

置し、これに二端子型非線形素子からなるスイッチング素子を接続し、走査電極と信号電極との間に液晶層と二端子型スイッチング素子が電氣的に直列接続されるアクティブマトリクス型液晶パネルとして構成し、本発明の駆動方法を用いてもよい。

【0068】

【発明の効果】

以上説明したように本発明によれば、駆動電圧を低く抑え、しかも、駆動電圧レベル数を減らす事ができるため、液晶表示装置の電源回路、駆動回路、液晶パネル等のトータルでの消費電力を低減する事ができ、電源回路や駆動回路の簡略化もできる。これにより、表示品質が良く、低消費電力、低コスト、省スペースの電子機器が実現できる。

【図面の簡単な説明】

【図1】 本発明に係る液晶表示装置の第1実施形態を示す駆動方法の一例を示す駆動波形図である。

【図2】 本発明に係る液晶表示装置の第2実施形態を示す駆動方法の一例を示す駆動波形図である。

【図3】 液晶に印加する実効電圧と輝度の光学特性の一例を示す図である。

【図4】 液晶表示装置の一例を示すブロック図である。

【図5】 従来の液晶表示装置の駆動方法を示す駆動波形図である。

【図6】 第1実施形態に係る液晶表示装置の走査電極側駆動回路（Yドライバ）のブロック図である。

【図7】 複数の走査電極側駆動回路（Yドライバ）をカスケード接続した結線図である。

【図8】 第1実施形態の走査電極側駆動回路における電位セレクタ222のブロック図である。

【図9】 第1実施形態の信号電極側駆動回路（Xドライバ）のブロック図である。

【図10】 第1実施形態の信号電極側駆動回路（Xドライバ）における不

一致数判定回路の回路図である。

【図 1 1】 第 1 実施形態の信号電極側駆動回路（Xドライバ）における電位セクタ 2 6 0 のブロック図である。

【図 1 2】 該電位セクタ 2 6 0 の真理値表である。

【図 1 3】 第 1 実施形態に係る電源回路のチャージ・ポンプ動作を説明する回路図である。

【図 1 4】 第 1 実施形態に用いられる電源回路のブロック図である。

【図 1 5】 電源回路の各種変形例を示すブロック図である。

【図 1 6】 本発明の第 4 実施形態である各種電子機器を示す図である。

【図 1 7】 第 3 実施形態の電気光学装置を構成する第 1 基板の平面図である。

【図 1 8】 第 3 実施形態の電気光学装置を構成する第 2 基板の平面図である。

【符号の説明】

- 1 ……第 1 基板
- 2 ……第 2 基板
- 3 ……表示領域
- 4 ……額縁領域
- 1 0 ……信号電極
- 1 0 a ……画素電極部分
- 1 0 b ……信号配線部分
- 2 0 ……走査電極
- 2 0 a ……端部
- 2 1 ……クロック形成回路
- 2 3 ……レギュレータ
- 2 4, 2 5 ……抵抗器
- 2 6 ……電圧ホロワ回路
- 2 7 ……2 倍昇圧回路
- 2 8, 2 9 ……スイッチ

- 3 1 ……第 1 引き回し配線
- 3 2 ……第 2 引き回し配線
- 4 0 ……上下導通端子
- 4 1 ……上下導通材
- 5 1 ……信号線ドライバ
- 5 2 ……走査線ドライバ
- 5 3 ……信号電極
- 5 4 ……走査電極
- 1 0 0 ……駆動回路
- 2 2 0 ……走査電極側駆動回路
- 2 2 1 ……コード発生部
- 2 2 2 ……電位セレクタ
- 2 2 2 A ……アナログスイッチ
- 2 2 2 B ……アナログスイッチ
- 2 2 2 C ……アナログスイッチ
- 2 2 3 ……第 1 シフトレジスタ
- 2 2 4 ……第 2 シフトレジスタ
- 2 2 5 ……レベルシフタ
- 2 2 7 ……デコーダ
- 2 5 1 ……チップイネーブル・コントロール回路
- 2 5 2 ……フレームメモリ
- 2 5 3 ……タイミング回路
- 2 5 5 ……入力レジスタ
- 2 5 6 ……書込みレジスタ
- 2 5 7 ……行アドレスレジスタ
- 2 5 8 ……信号電位割り出し回路
- 2 5 8 - 1 ……ラッチ回路
- 2 5 8 - 2 ……不一致数判定回路
- 2 5 8 - 2 1 ……デコーダ

258-3.....ラッチ回路

259.....レベルシフタ

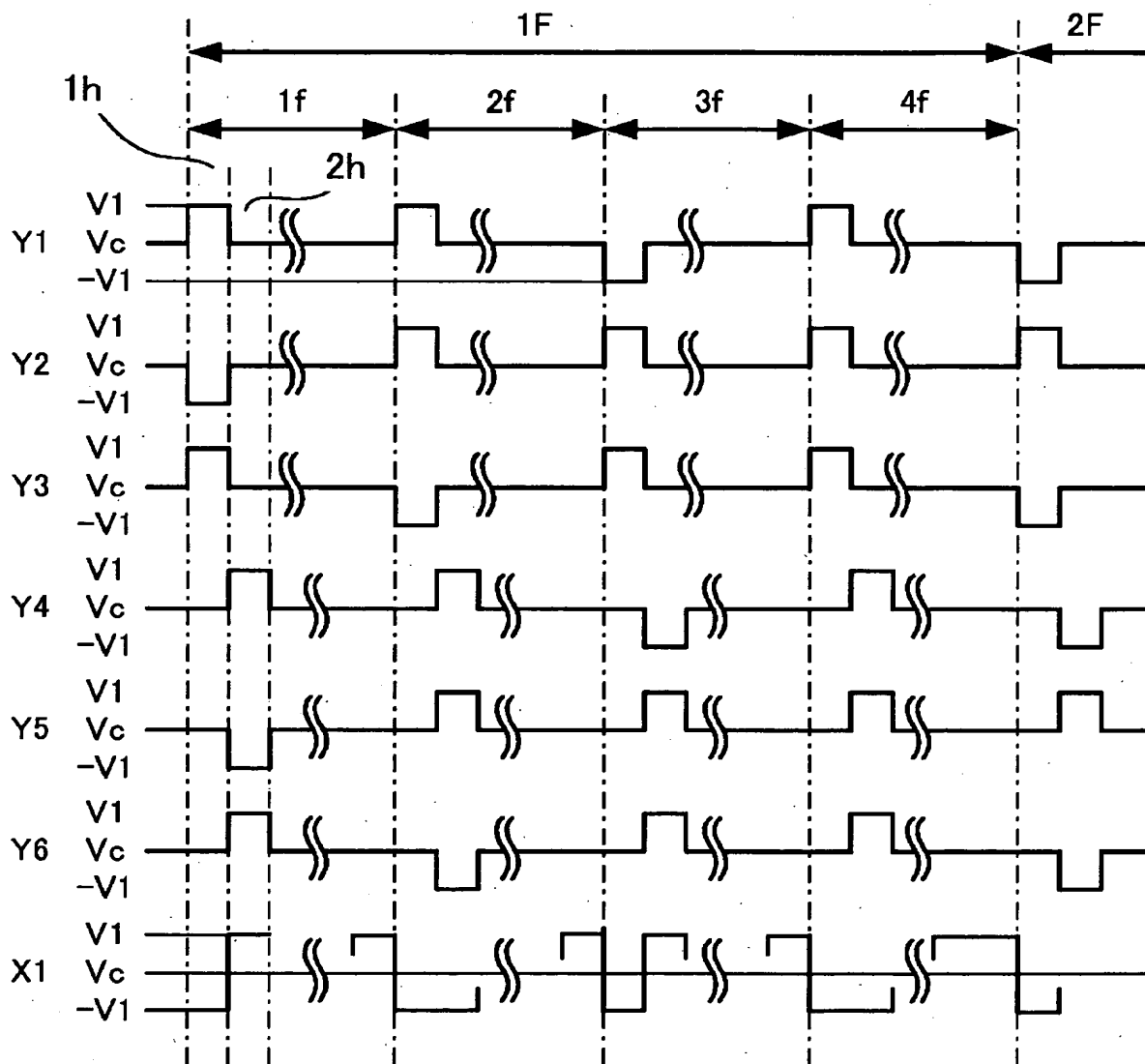
260.....電位セレクタ

261, 262.....アナログスイッチ

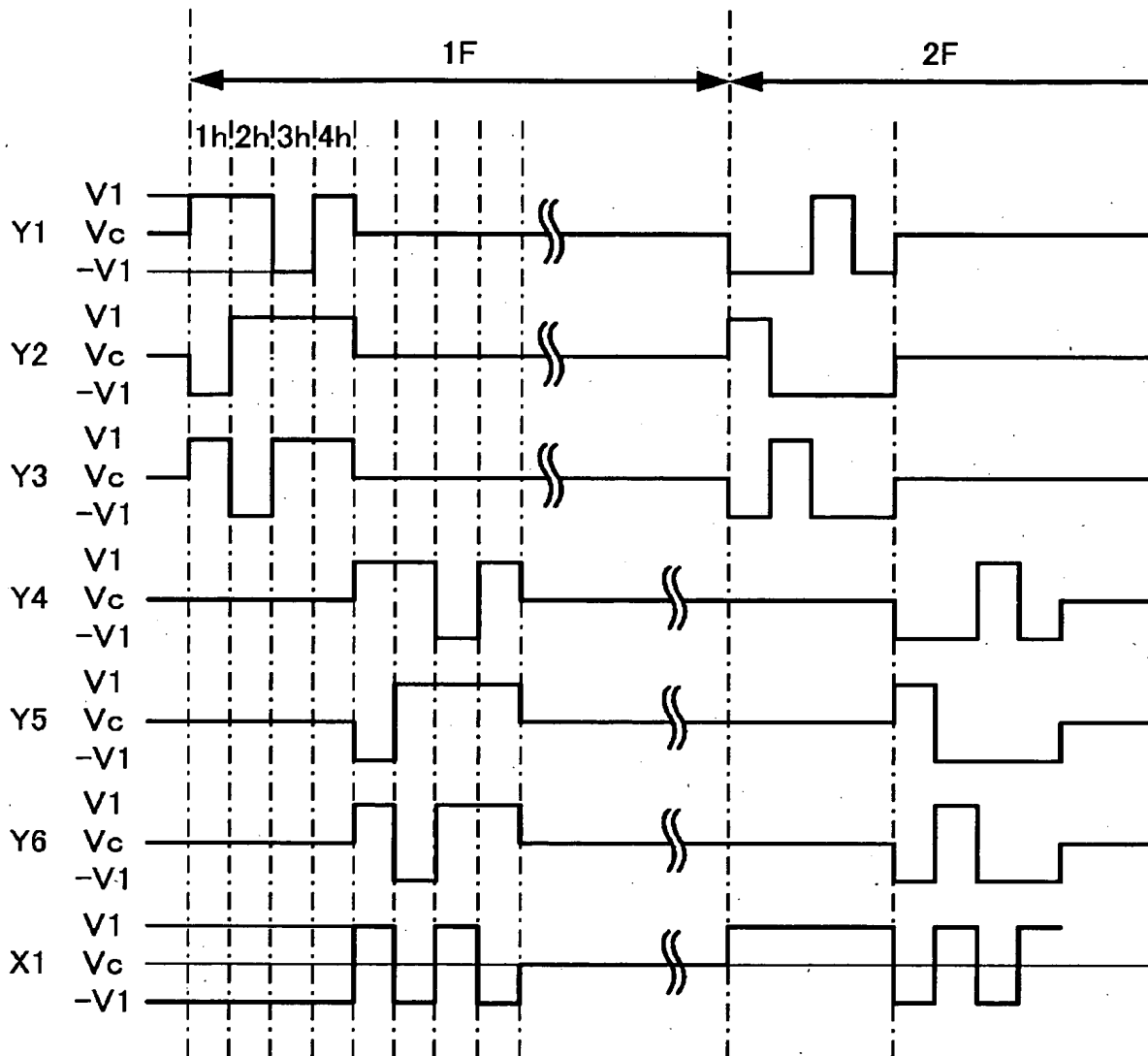
2202~220n.....Yドライバ

【書類名】 図面

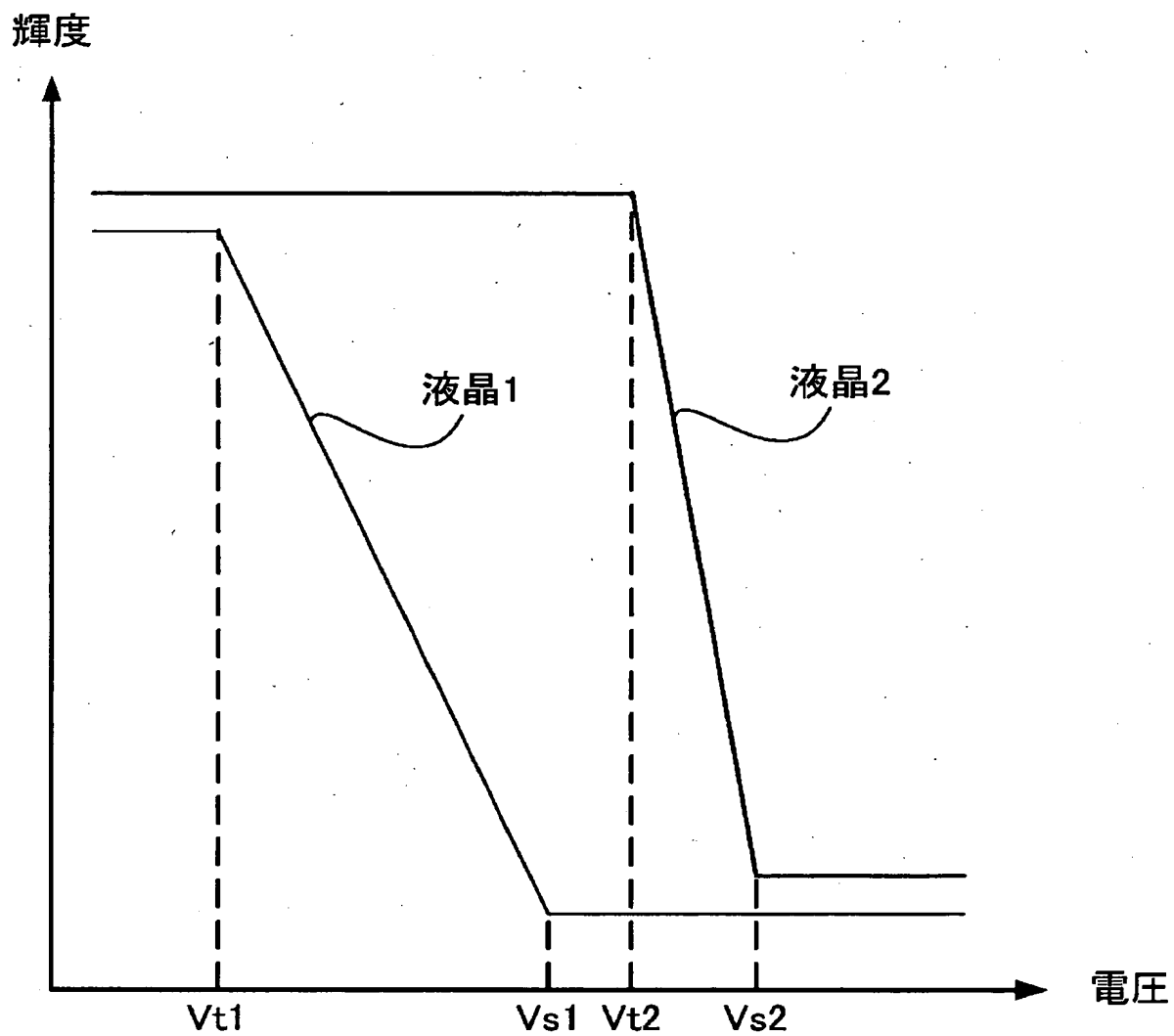
【図 1】



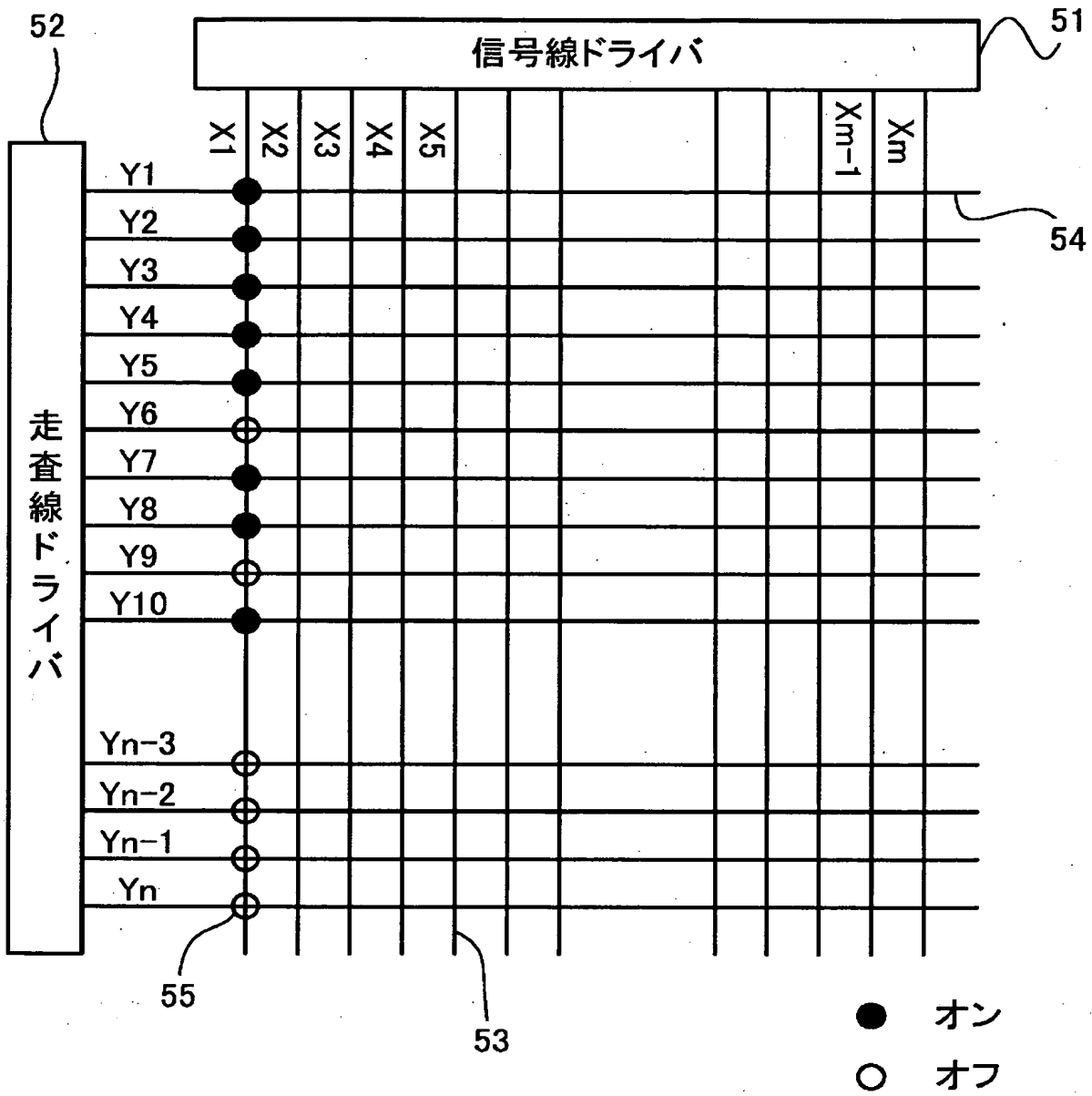
【図 2】



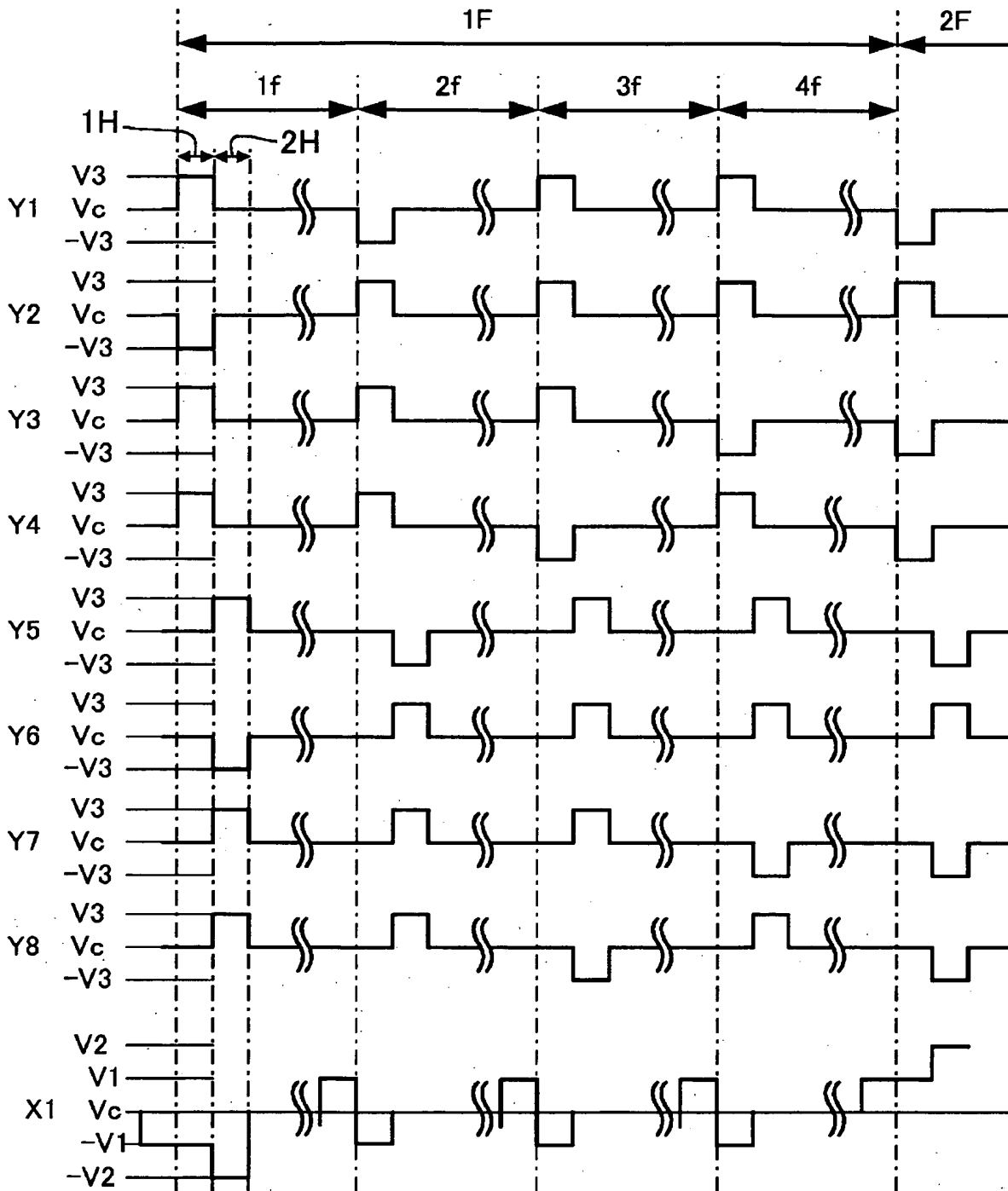
【図3】



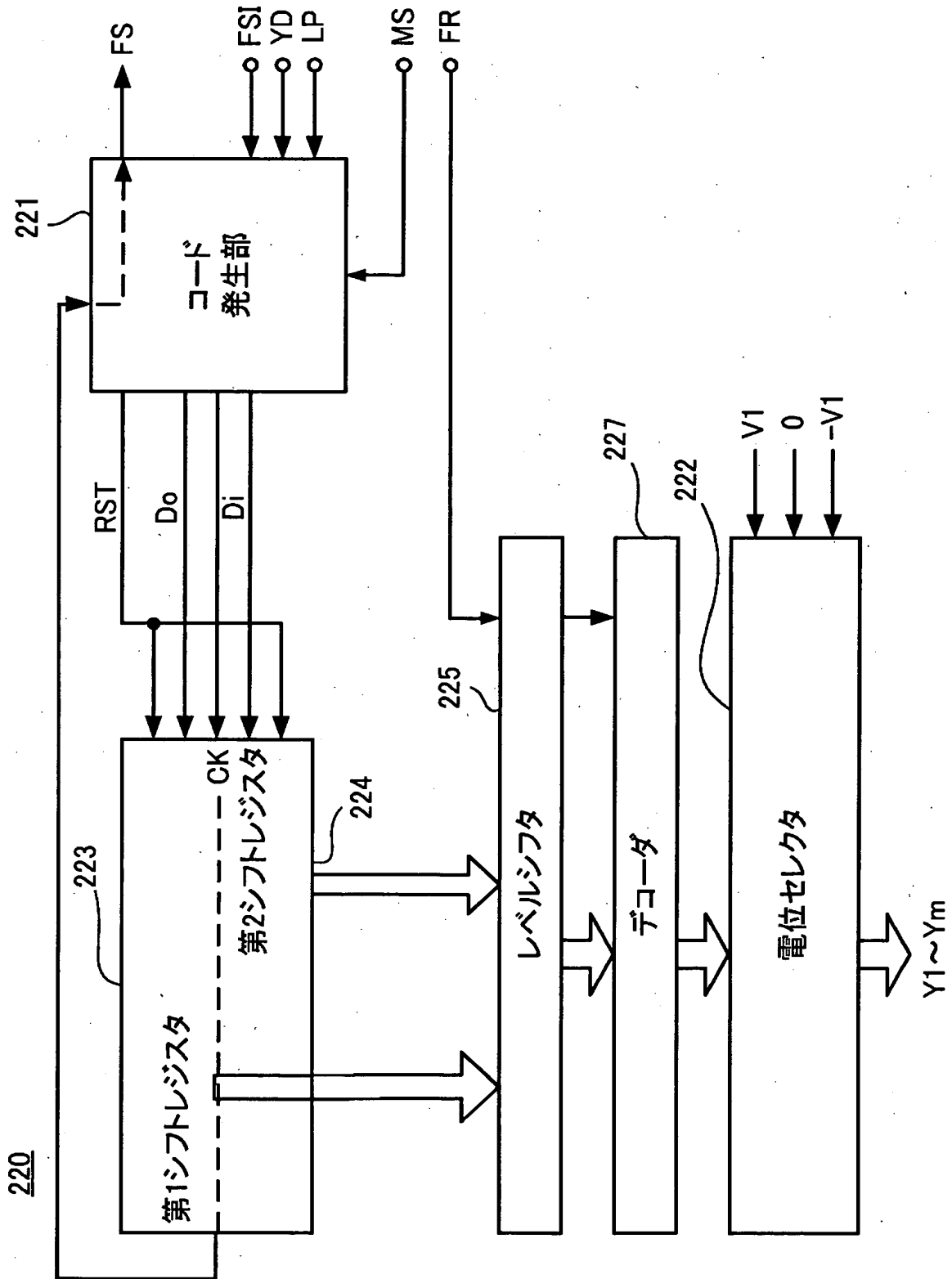
【図 4】



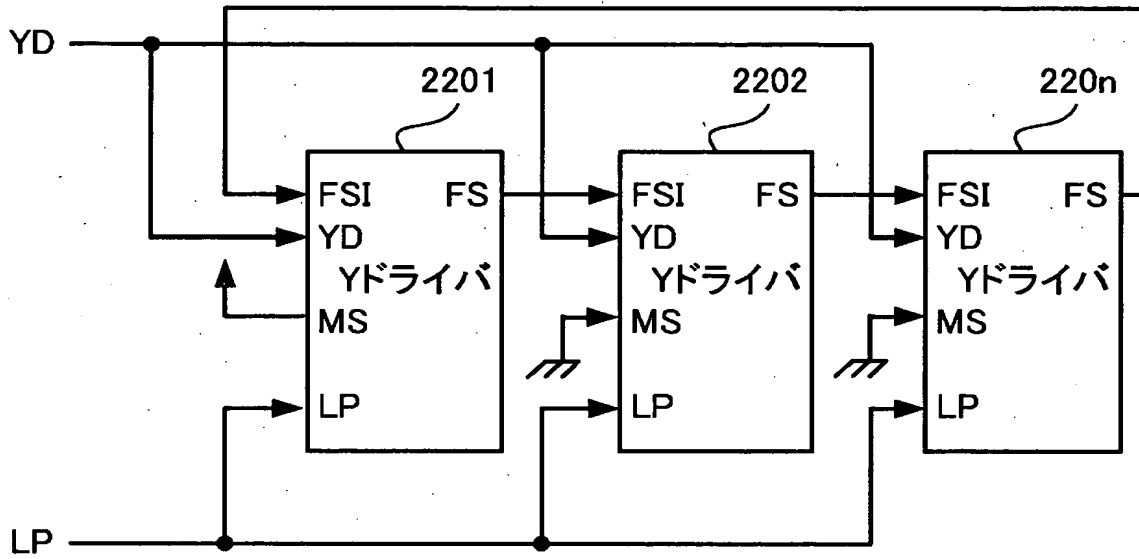
【図 5】



【図 6】

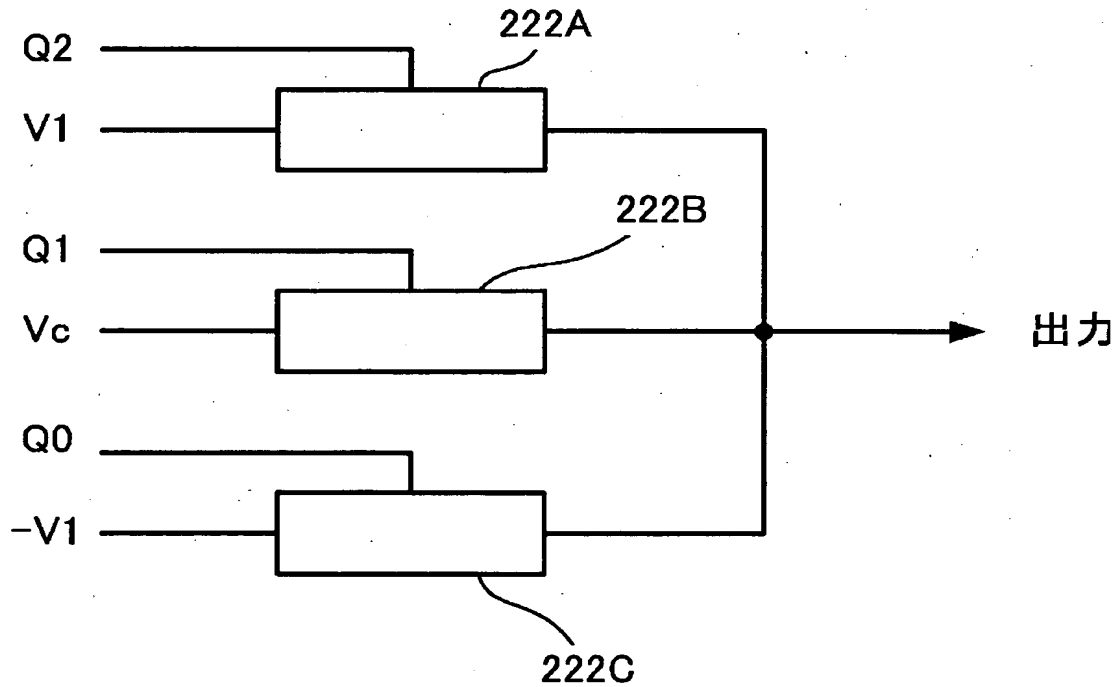


【図 7】

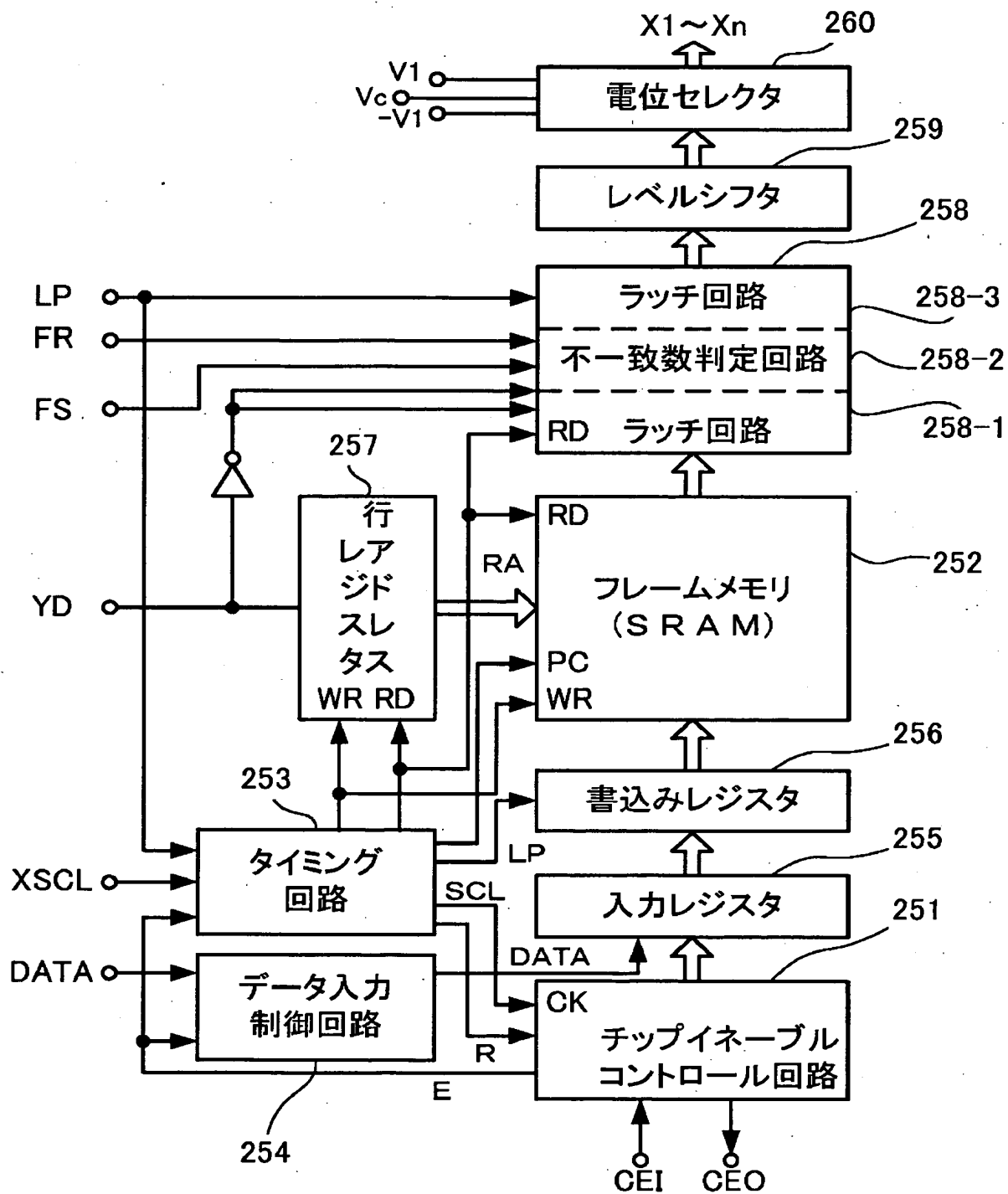


【図 8】

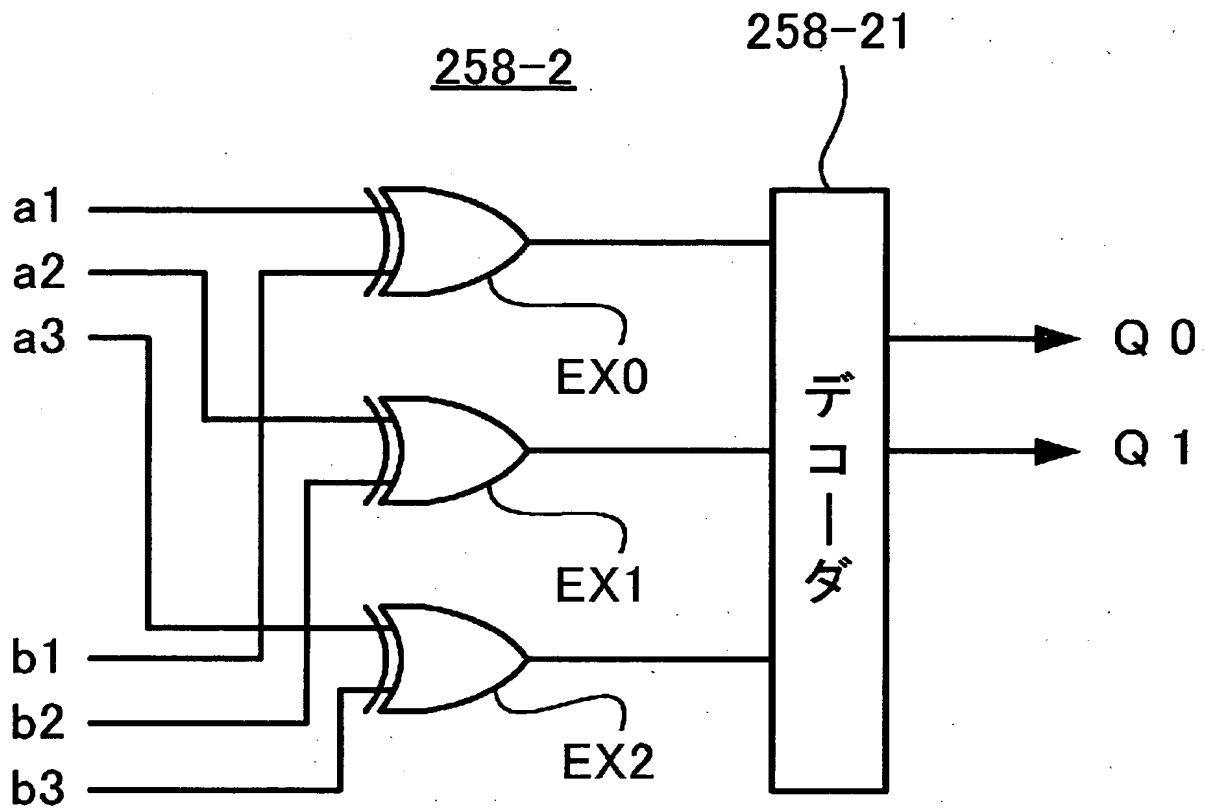
222



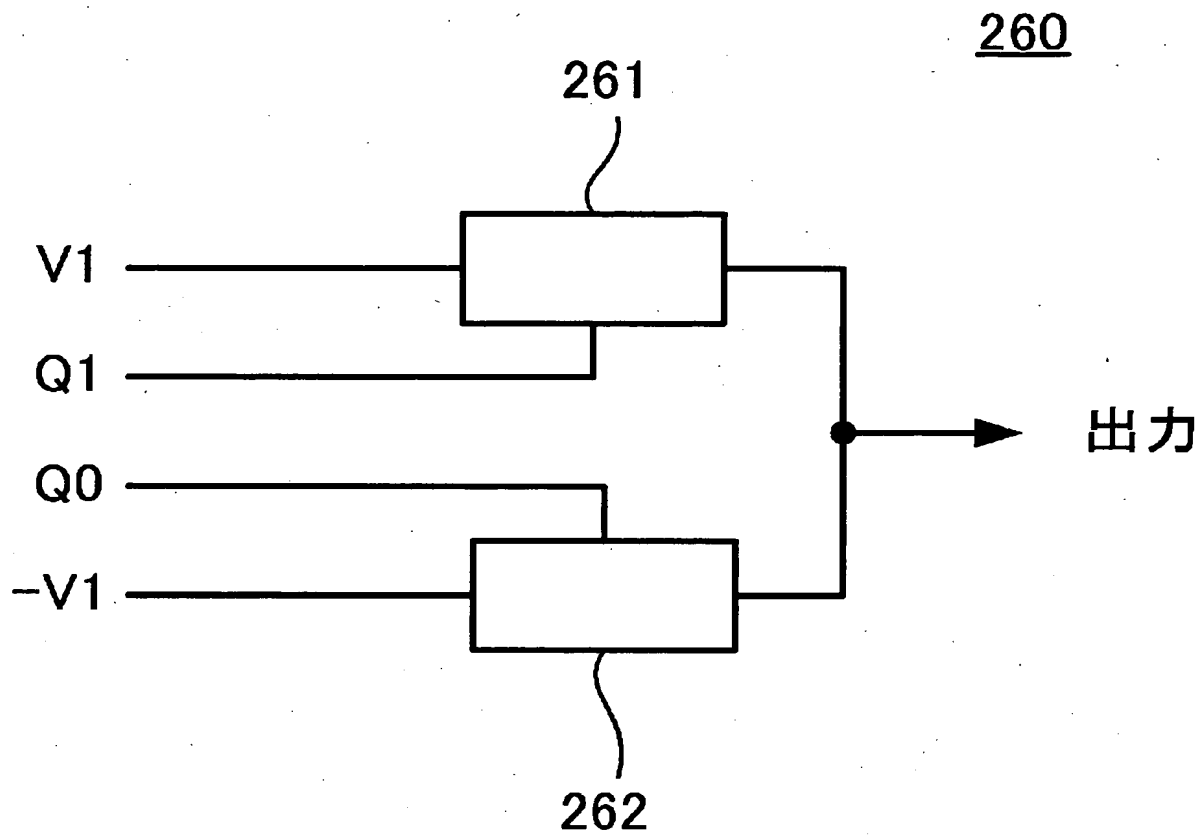
【図9】



【図 10】



【図 11】



【図 1 2】

(a)

$a1 \cdot a2 \cdot a3$	1f	2f	3f	4f
0 0 0	V1	V1	V1	V1
0 0 1	-V1	V1	-V1	V1
0 1 0	V1	-V1	-V1	V1
0 1 1	V1	V1	-V1	-V1
1 0 0	-V1	-V1	V1	V1
1 0 1	-V1	V1	V1	-V1
1 1 0	V1	-V1	V1	-V1
1 1 1	-V1	-V1	-V1	-V1

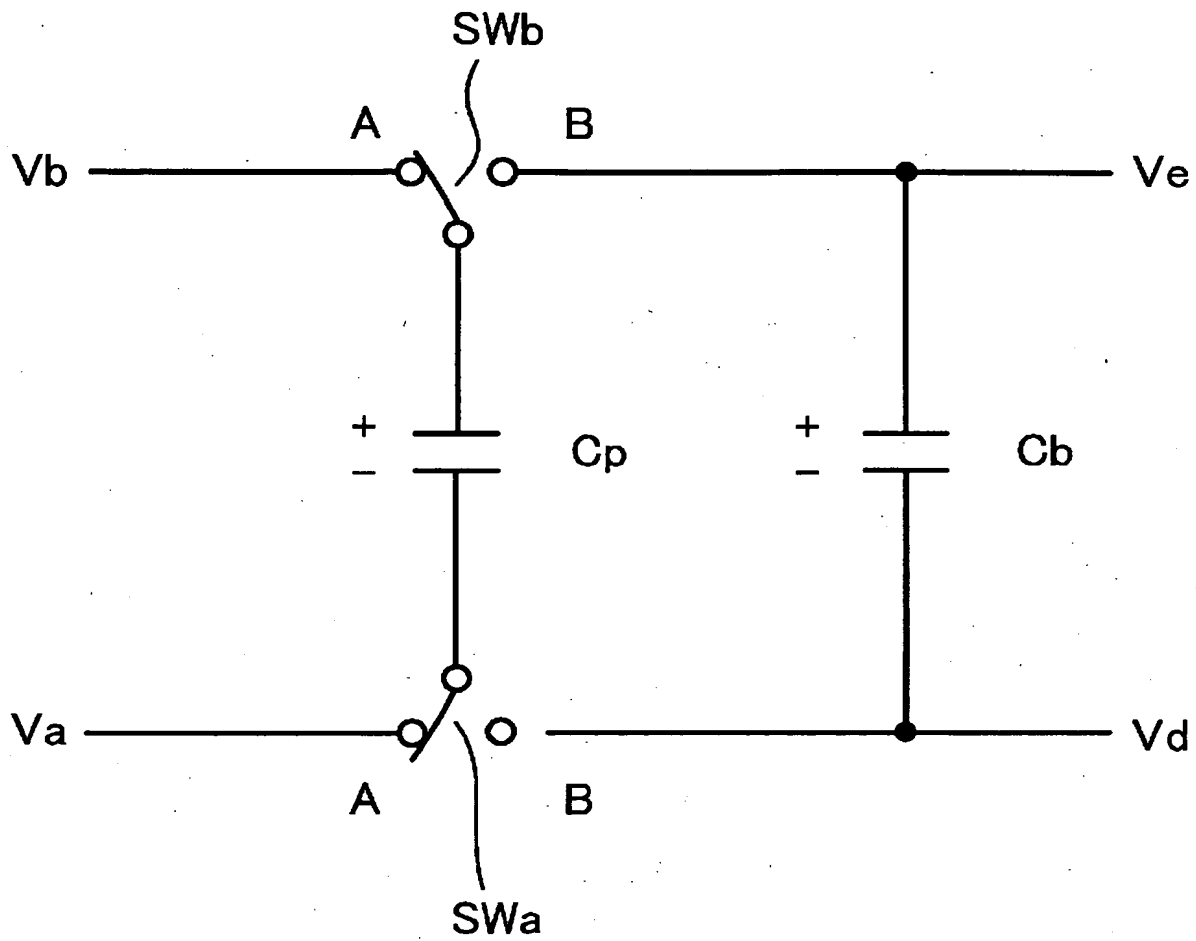
0 : オフ

1 : オン

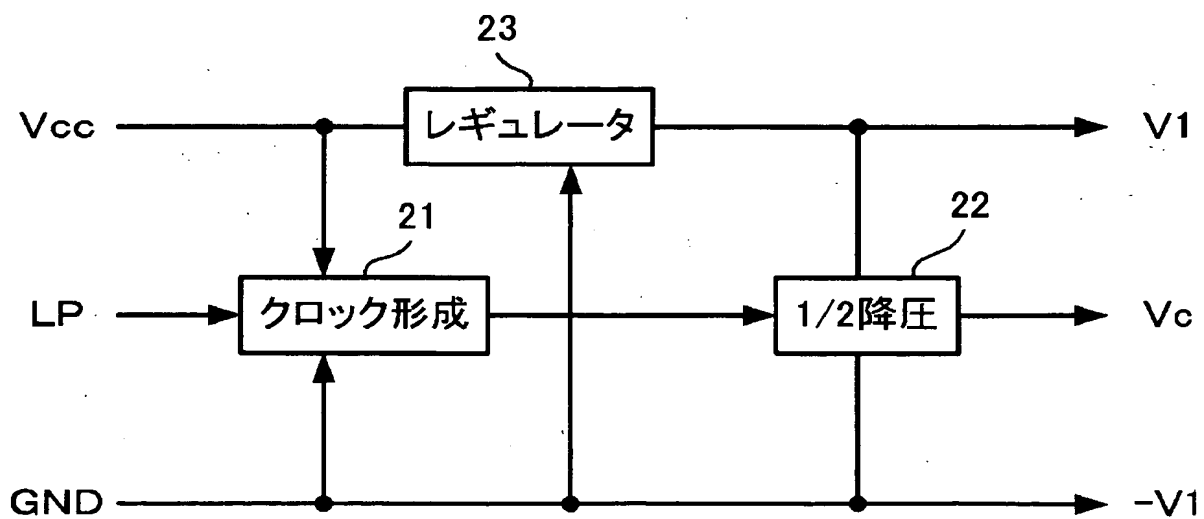
(b)

$a1 \cdot a2 \cdot a3$	1f	2f	3f	4f
0 0 0	-V1	-V1	-V1	-V1
0 0 1	V1	-V1	V1	-V1
0 1 0	-V1	V1	V1	-V1
0 1 1	-V1	-V1	V1	V1
1 0 0	V1	V1	-V1	-V1
1 0 1	V1	-V1	-V1	V1
1 1 0	-V1	V1	-V1	V1
1 1 1	V1	V1	V1	V1

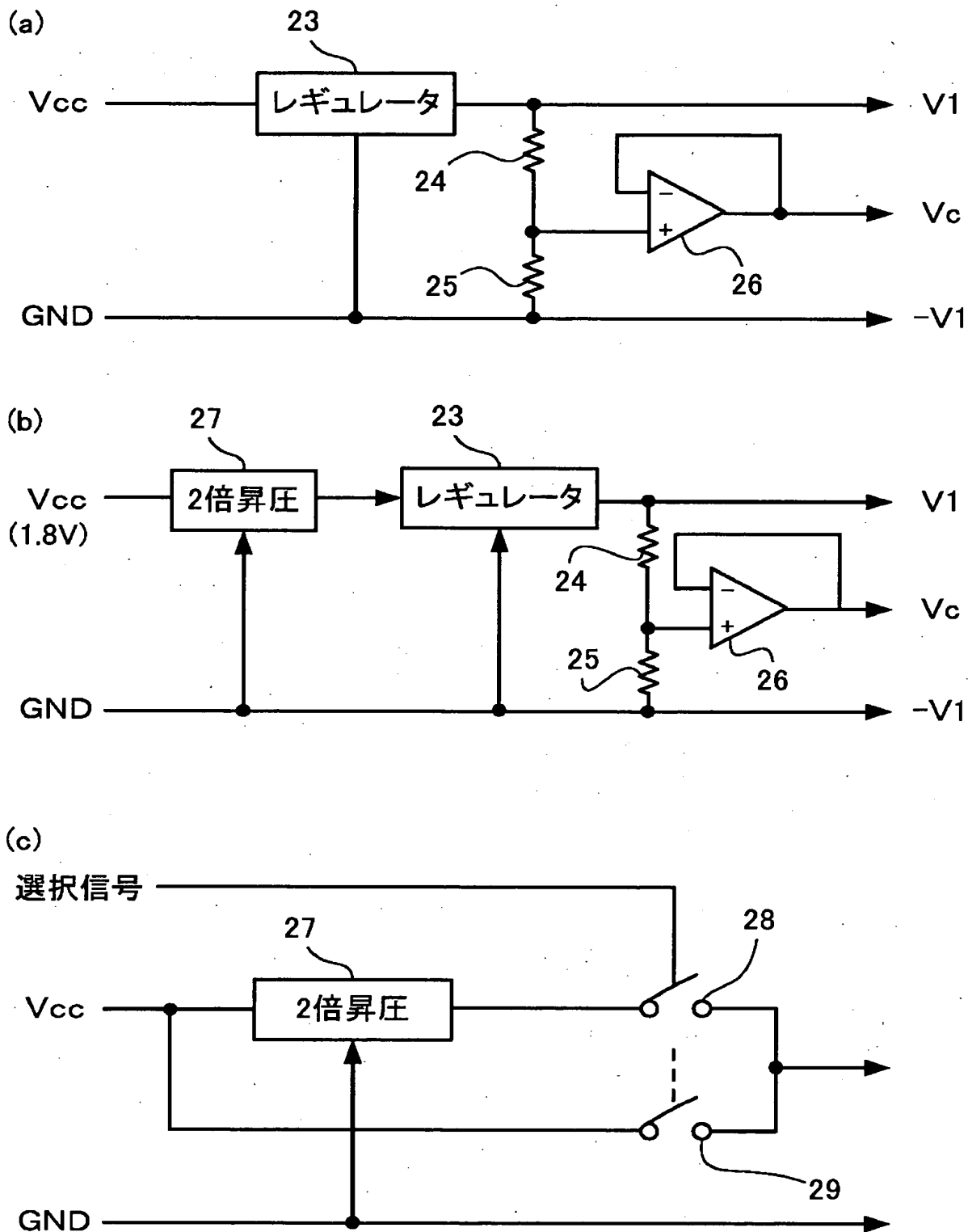
【図13】



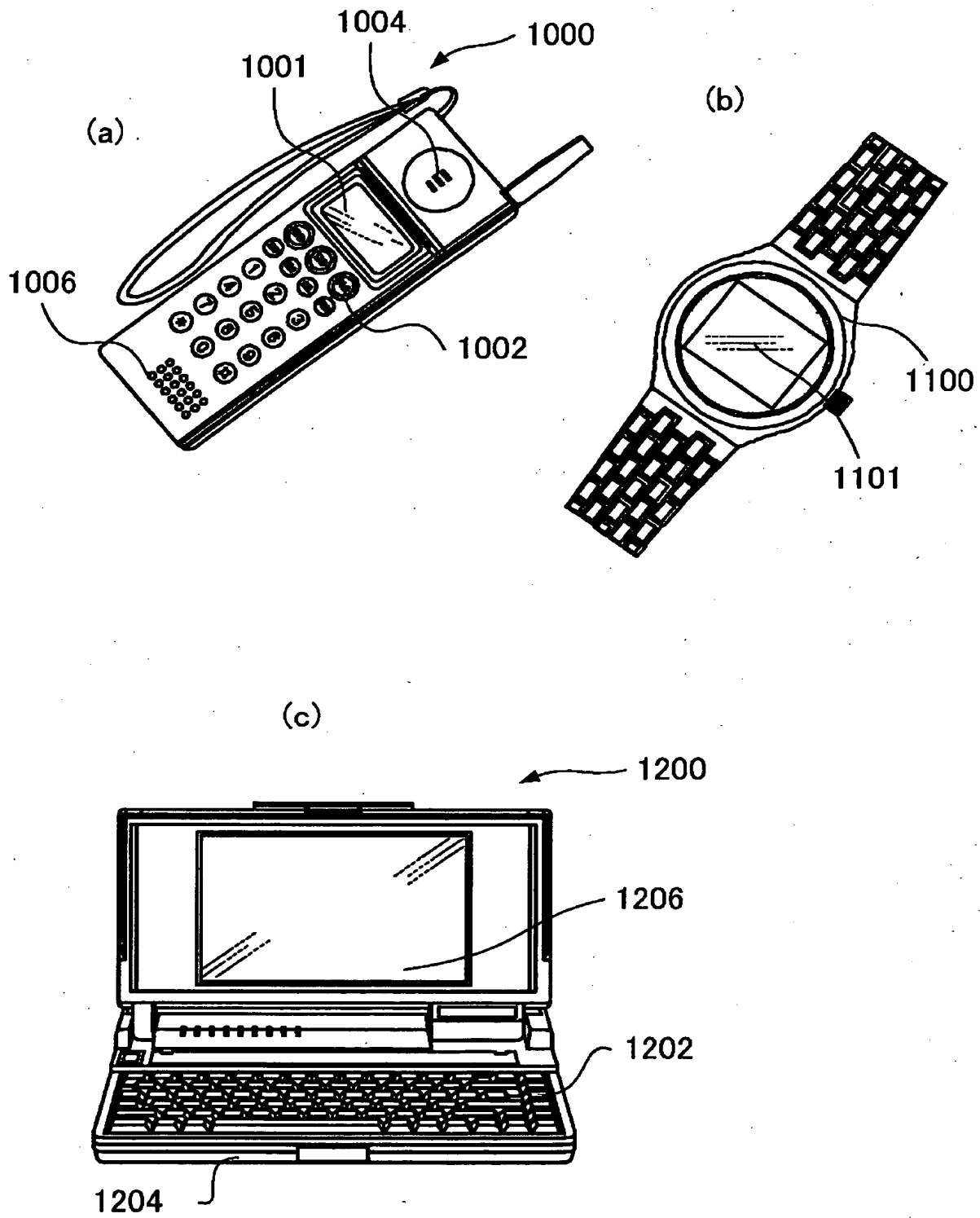
【図14】



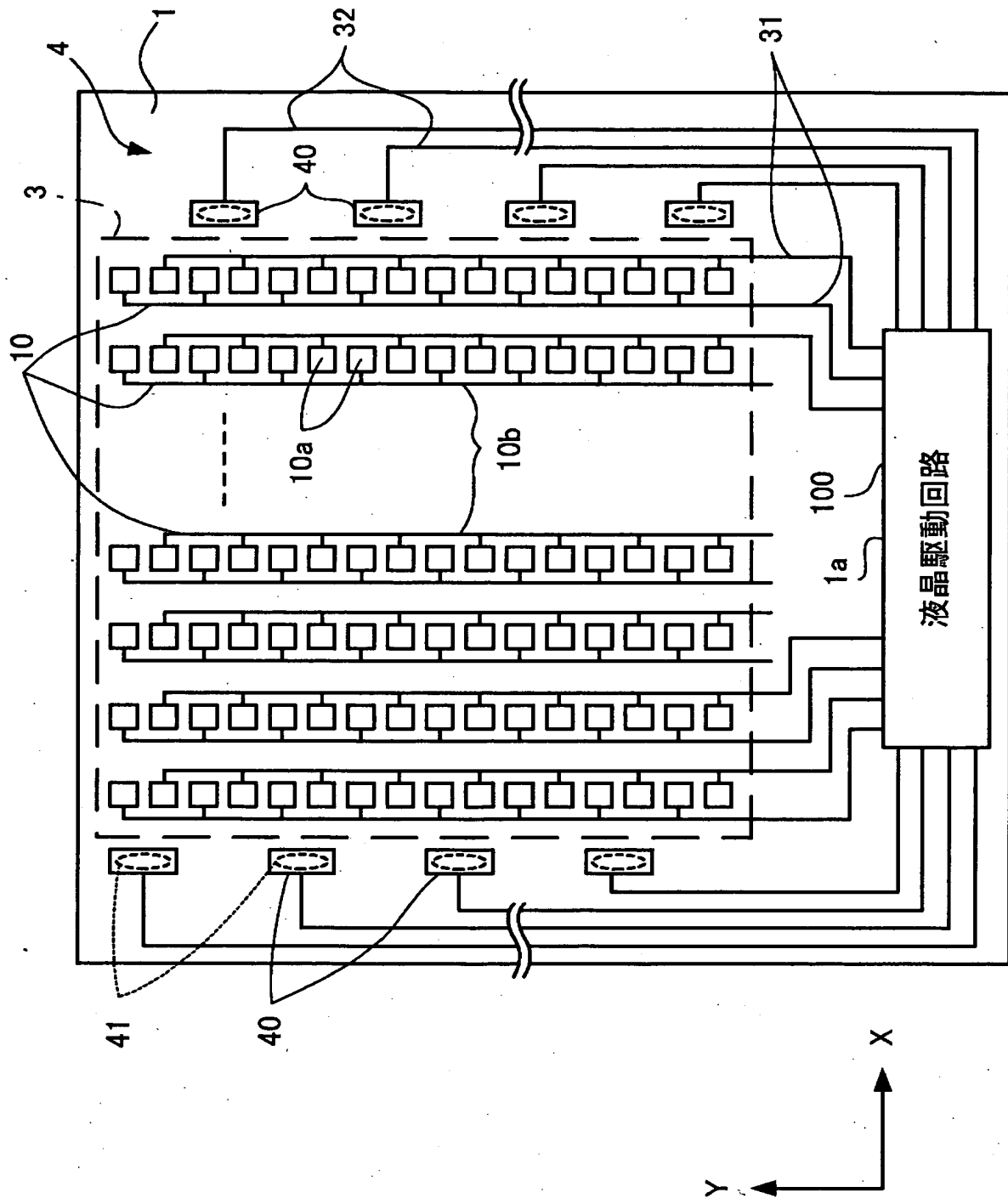
【図15】



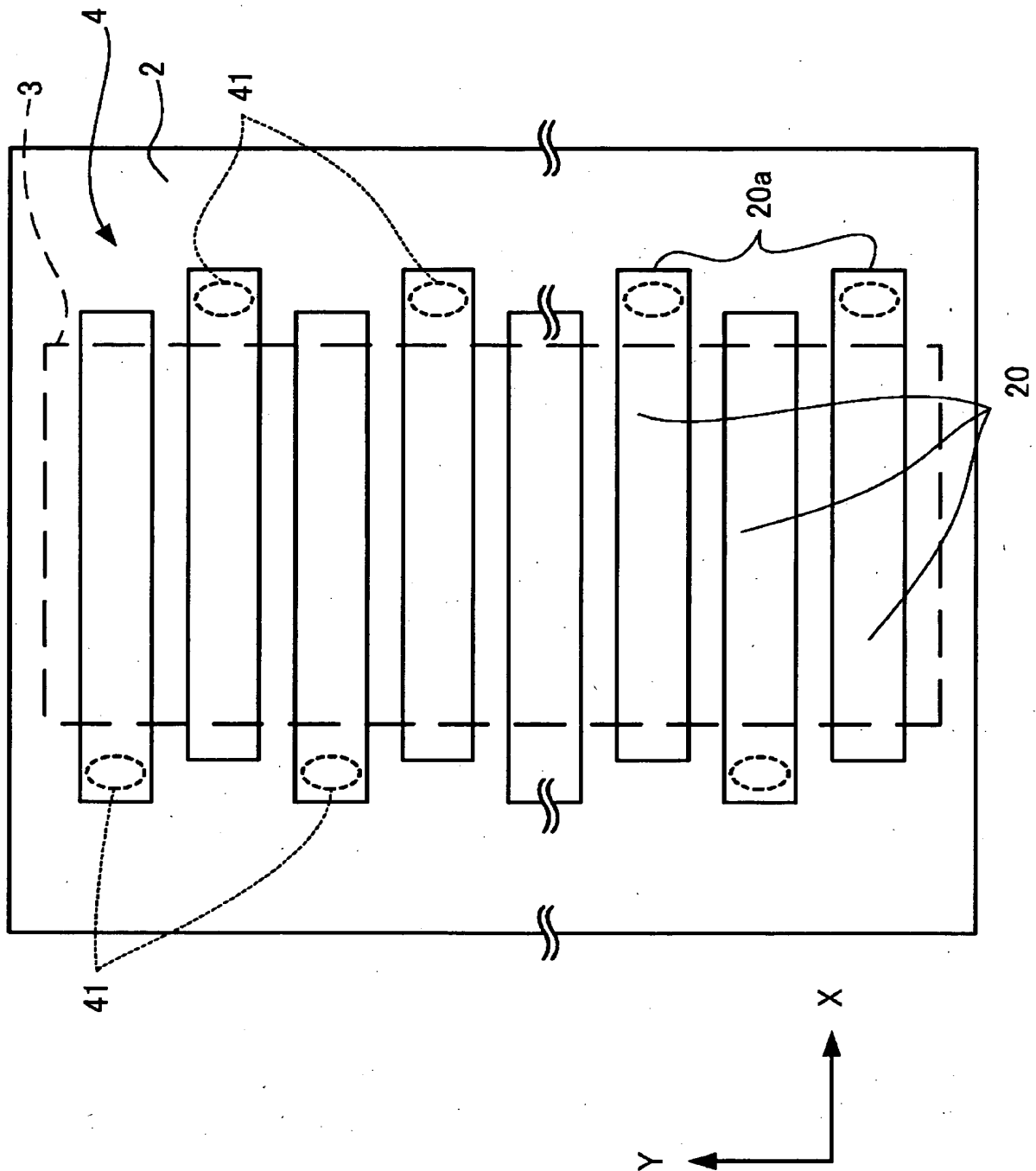
【図 1 6】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 複数の走査電極を同時選択するML Sの液晶ディスプレイにおいて、駆動電圧レベル数を削減させつつ低消費電力化を図る。

【解決手段】 3ライン毎の走査電極Y 1～Y 3, Y 4～Y 6は、グループを構成している。各グループを構成する走査電極のそれぞれに対して第1の電位(V_1)を順次排他的に印加しつつ、該グループ内の他の走査電極に対して第2の電位($-V_1$)を印加する3回の異電位選択期間(第1～第3フィールド(1 f～3 f))と、該3個の走査電極に対して、共通に前記第1または第2の電位を印加する1回の同一電位選択期間(第4フィールド(4 f))とを設け、信号電位X 1としてはこの第1または第2の電位のうち何れかを用いた。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社